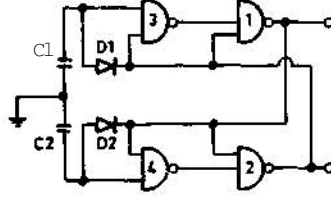
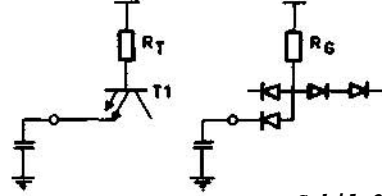


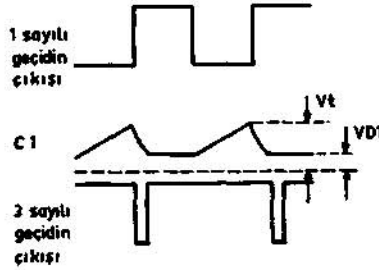
SAYISAL SALINIM ÜRETEÇLERİ



Şekil 1.



Şekil 2.

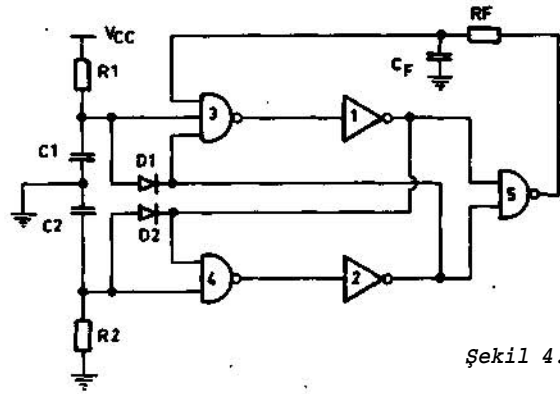


Şekil 3.

En çok kullanılan sayısal salınım üreteç devrelerinden biri Şekil 1'de gösterilmiştir. 1 ve 2 numaralı VEDEĞİL geçitleri alışılacagelmış bir iki duraklı (*bistable*) oluşturacak biçimde bağlanmıştır. Diğer iki VEDEĞİL geçidi, sığaç ve diyotlar ise duraksız (*astable*) olarak çalışacak biçimde bağlanmıştır.

Devrenin çalışma ilkesini anlamak için 2 numaralı VEDEĞİL çıkışının Yüksek olduğunu varsayalım. D1 kesimde; C2 üzerindeki gerilim, D2 diyodunun iletim gerilimine eşit dururken C1 ise 3 numaralı geçidin eşik değerine doğru yüklenmektedir. Bu yüklenme işi, eğer TTM (Tranzistor-Tranzistor Mantiği) geçitleri kullanılıyorsa giriş tranzistörünün Rj taban direnci üzerinden, DTM (Diyot-Tranzistor Mantiği) geçitleri durumunda Rg üzerinden gerçekleşmektedir (Şekil 2). C1 sığacının dolmasıyla 3 sayılı VEDEĞİL çıkışı Alçak olup 1 numaralı VEDEĞİL çıkışının Alçaktan Yüksek geçmesini sağlar. Bu geçişin tamamlandığı anda 1 in çıkışı 2 sayılı VEDEĞİL çıkışını Alçak yapmış, bu da 3 sayılı VEDEĞİL çıkışını yeniden Yükseltmiştir. Böylece 3 sayılı geçit çıkışı sadece bu geçici durum sırasında Alçak olur (Şekil 3).

Her iki sığacın da dolup, salınım üreticinin kilitlenmesi olasılığı vardır. Bunu önlemek için



Şekil 4.

- Şığaçlardan birini elle topraklayarak salınışa başlatmak.
- Bir ek geçit ekleyerek Şekil 4'deki devreyi kurmak, böylece her iki çıkış da Yüksek olduğunda eksiye giden bir başlatma vuruşunu 5 sayılı geçit aracılığıyla elde etmek olanağı vardır.
- Dalga bakışımı (simetrisi) önemli değilse farklı tür şığaçlar ve diyotlar seçerek de kilitlenme sorunu çözülebilir.

Sıklık (*frequency*)
Belirlenmesi

Sığaçların eşit alındığı bir TTM devresi de alınırsa aşağıdaki tanımlar yapılabilir.

% : Şekil 2'deki direnç

V_t : Geçitin eşik gerilimi

V_D^{\wedge} : D1 ve D2 diyotlarının ön gerilimleri

V_{T1} : Şekil 2'deki T1 tranzistörünün taban-yayıcı eklem gerilimi

sayısal elektronik

Bu tanımlardan yararlanarak İMHz'e kadar salınım üreticilerinin sığaçlarının dolma süresi

$$t = RC \log \frac{V_{cc} - V_{T1} - V_{D1}}{V_{cc} - V_{T1} - V_t}$$

olarak bulunur. Tüm dönem (periody) için $T=2t$ dir.

Geliştirilmiş Salınım Üretici

Alçak sıklıklarda, gerekli sığaçların çok büyük boyutta olması, yanlış başlatma vuruşlarına engel olmak için Şekil A' deki $R_c C_p$ süzgecinin gerekli olması gibi sakıncalar nedeniyle temel salınım üreticinin geliştirilmesi gerekmektedir. Bu sakıncalar

- Zamanlama geçitlerine tranzistorlu tamponlar ekliyerek,
- 1 ile 3, 2 ile 5 sayılı geçitler arasına dirençler yerleştirerek,
- Sığaçlara koşut (paralel) dirençler yardımıyla giderilebilir, üçüncü seçenek en kolay elde edilebilecek olanıdır. Bu durumda;

$$R' = \frac{R1 \cdot R_T}{R1 + R_T}$$

$$V'_{T1} = \frac{V_{R1}}{I_L + R1}$$

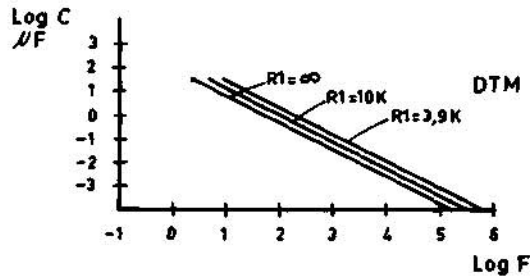
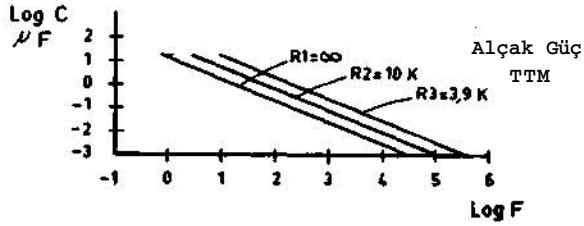
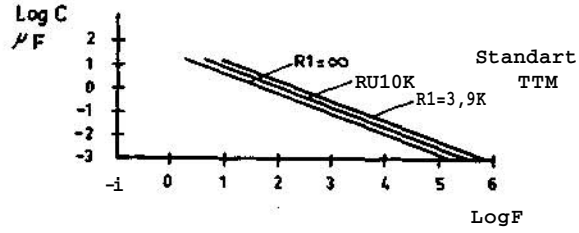
ise

$$t = R'C \log \frac{V_{cc} - V_{T1} - V_{D1}}{V_{cc} - V'_{T1} - V_t}$$

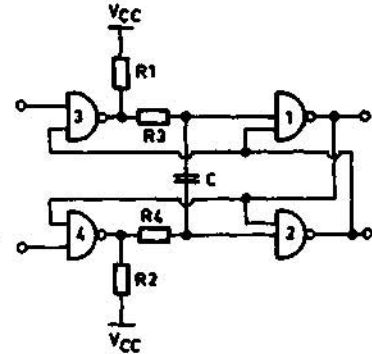
olur. Eklenen direncin ∞ , 10Kft, 3,9 KR olması durumlarında, standart TTM, alçak güçlü TTM ye DTM için Şekil S'de verilen bilgiler tasarım için gerekli ön değeri sağlamaktadır.

Şekil 6 ve 7'de aynı temelden yola çıkarak elde edilen iki salınım üretici görülmektedir. Birincisinde devre öğelerinin azlığı; ikincisinde ise biri diğerinin iki katı sıklıkta çıkış veren iki salınım ucu olması dikkat çekmektedir.

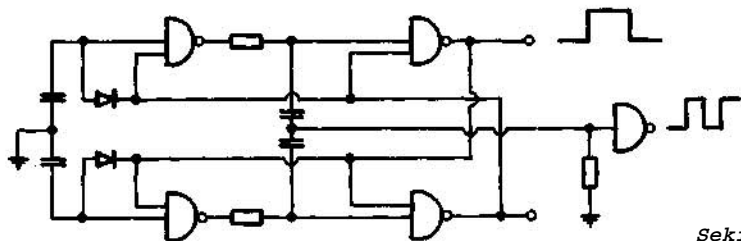
(Electronic Engineering Kasım 1972)



Şekil 5.



Şekil 6.



Şekil 7.