

# Analog Devreleri Hızlı Prototipleme Açısından Evrimsel Donanım Konusundaki Çalışmaların İncelenmesi ve Yeni Bir Model Önerimi

## Investigation of Evolution Hardware Studies On Analog Circuits For Rapid Prototyping and Proposal a New Model

Özgür AKSU

Bilgisayar Mühendisliği Bölümü, Mühendislik Fakültesi, Erciyes Üniversitesi, Kayseri  
[oaksu@erciyes.edu.tr](mailto:oaksu@erciyes.edu.tr)

### Özet

Otomatik analog devre tasarım araçları halen sadece sınırlı bir alanda çözüm sağlayabildiğinden dolayı birçok analog devre tasarımı emek yoğun çalışmalarla gerçekleştirilebilmektedir. Analog elektroniği temel alan sayısal sistemler için geliştirilen otomasyon sistemlerinin pratik olarak doğrudan analog devre tasarımı için kullanılması mümkün değildir. Fakat sayısal sistemlerin performans ve teknolojik gelişimi ancak temellerini oluşturan analog devre gelişimine de bağlıdır. Geline nokta hazırlanan bu inceleme, karşılaştırma ve elde edilen bilgiler üzerinden sistem modeli önerim çalışması ile analog devreler için amaca özgü ve tam otomasyon içeren bir hızlı prototipleme sistemi önerilmektedir.

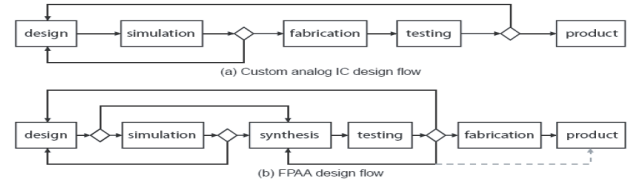
### Abstract

Most analog systems are still designed manually because automatic analog circuit synthesis tools are available only on a limited range. Developed for digital systems that are based on analog electronic automation system for practically not possible to use direct analog circuit design. However, performance and technological development of digital systems, but also depends on the development of analog circuits that are the foundation. At this point, this review was prepared, comparison and information obtained through the operation of the system model with the suggestion that full automation of analog circuits, and for the specific purpose of a rapid prototyping system is recommended.

### 1. Giriş

Analog Elektronik (AE) Devrelerin tasarımı karmaşık ve zor bir tasarım problemidir [1, 54, 64, 67]. Analog Dilemma olarak tanımlanan bu problem, dijital çözüm yaklaşımları ile karşılaştırıldığında, AE tasarım yaklaşımlarının hala yeterli seviyede ulaşamadığı görülmektedir [54, 67]. Herhangi bir fiziksel sinyali algılamak veya üretmek için mutlak olarak elektronik devre gerekmektedir ki bu devreler için her zaman temel düzeyde AE devrelerine talep olacağı açıktır [1, 55, 67, 68]. Araştırmacılar tarafından geliştirilen EHW otomasyonları Analog Devre tasarımlarında çözüm yaklaşımı olarak önem kazanmaktadır [56, 54]. EHW, Evrimsel Algoritmalarının kullanılması ile insanoğlunun manüel tasarımla ulaşabileceği noktaların ötesinde elektronik devrelerin tasarlanmasını sağlamaktadır [8, 68]. EHW Mimarisi Evrimsel Donanım, Yapay Zeka, hata toleransı ve otomatik tasarım sistemlerini bir araya getirmektedir [64]. Moore Kanunu her

18 ayda bir entegre içi tasarım kapasitesi iki katına çıkacağını tanımlamaktadır [2]. Günümüzde kanun kendini doğrulamayı sürdürmekte ve tasarım süreçlerini üstsel artışla karmaşıklaştırmaktadır. EHW Hızlı prototipleme yaklaşımı geleneksel AE Tasarım sürecinde, FPAA çözüm modeli ile önemli bir ivme kazandırmaktadır [52]. Kazanılan ivme, hızlı prototipleme modellerinin insanoğlunun yetenekleri ve kapasitesi ile doğrudan çözüm sağlayamadığı problemlerde dolaylı çözümler sunmaktadır. Tespit edilen problem kapsamında önerilen çözüm metodolojisinin tasarım sürecinde kullanımı Şekil 1’de verilmektedir.



Şekil 1: Geleneksel AE Devre Tasarımı (a) ile Hızlı Prototipleme, FPAA destekli AE devre tasarımının (b) karşılaştırılması [52].

Bu çalışmada öncelikle AE tasarım süreci problemi tanımlanmaktadır. Tanımlanan problem için ADA hızlı protipleme konusunda 1980-2016 yılları arasında literatürde yer alan çalışmalar incelenerek karşılaştırmalı olarak Tablo 5’de sunulmaktadır. İncelenen çalışmalar, tanımlanan problem kapsamında literatürde önerilen çözüm metodları ve örnek uygulama sonuçları üzerinden incelenerek, süreçte yer alan boşluklara ve problemlere dikkat çekilmektedir. Çalışmada son olarak elde edilen motivasyon alanları temelinde yeni bir çözüm modeli ve örnek uygulaması verilmektedir. Önerilen çalışma konusunda çok sayıda benzer çözüm önerisi bulunması, benzer çözüm önerilerinde tespit edilen sorunların, geliştirilen GENAN modeli kapsamında çözümü sunulmaktadır. Geliştirilen çözüm yaklaşımının, EHW AE otomasyonu üzerindeki inovatif potansiyelini günümüz araştırmacıları için yeniden öne çıkarılması hedeflenmektedir [53, 55].

### 2. Problem Tanımı

Belirli bir amaca yönelik bir elektronik devre geliştirmek için ACAD/CAD yazılım ve araçları 1970’lerin başından itibaren aktif olarak kullanılmaktadır [54,69]. Kullanılan çözüm modelleri amaca uygun devre modelleri ve fonksiyonları bir araya getirilmesi ile amaca özgü çözümler sağlamaktadır [8,

9]. Geliştirilmesi hedeflenen çözüm için hali hazırda bir model ya da fonksiyon bulunmaması durumunda ise hedef amaç için öncelikle alt devre modellerinin geliştirilmesi gerekmektedir [1, 2, 3, 54, 66]. Günümüzde kullanılan alt devre, elektronik kütüphanelerin birçoğu oluşan gereksinimler temelinde türetilmiştir [54]. Geliştirme sürecinde hedef amacı sağlayacak devre modeli oluşturmak için aktif ve pasif AE devre elemanları kullanılmaktadır [1, 8, 9, 54, 68]. Fakat birden çok ve farklı türdeki elektronik devre elemanlarının hangilerinin hedef amaç için kullanılacağı temel bir araştırma problemidir [1, 54]. AE Eleman seçimi problemine ek olarak, devre elemanların hangi sıralama ve hangi bağlantı yapısı ile birbirlerine bağlanması gerekliliği sorusu oldukça zor bir mühendislik problemini oluşturmaktadır [1, 2, 3, 54, 57]. Bilim insanları bu sorunu çözümlenebilmek için elektronik bilimi tasarım çerçevesini iki kısma ayırmaktadır; AE, Dijital Elektronik (DE). Bu ayrımın temel nedeni AE yaşanan sorunlar karşısında, tanımlanması ve hesaplanmasında daha az karmaşık yapı içeren, temel kurallar ile tasarım/uygulama yapılabilen, yeni bir elektronik dil, kütüphane geliştirmektir [1, 55, 58]. Kurallar üzerinden geliştirilen DE tamamen ikili sayısal sistem üzerinde çalışan bir yapıda kurgulanmaktadır [1, 55, 58]. DE, AE kuralları ve elemanları temelinde çalışmakta olsa da, tasarım ve hesaplama süreci çok daha basit bir yapıdadır [55, 58, 61]. DE Hedefli otomatik tasarım araçlarının geliştirilmesi ve yapay zeka ile desteklenmesi sonucunda elektronik biliminde EHW bakış açısı gelişmiştir [54, 56, 61]. EHW Çözüm süreci ve modelleri insanlığın karmaşık tasarım sürecine pratik olarak çözüm geliştirmesi, otomatik tasarım gerçekleştirmesini sağlamaktadır [54, 56, 61]. EHW Modelleri ile elde edilen çözüm önerisi, hedeflenen amaç detayları arttığında ve daha fazla detay talebi sonuç üzerinden geliştikçe, çözümün yenilenmesi gerekmektedir [54, 59, 61]. Çözüm önerisinin gelişen detayları, çözümü oluşturan silikon devre elemanı sayısını üstel olarak arttırmaktadır [54, 60, 61]. SOC Mimarisi üzerinde pratik olarak uygulanması sonucunda artan silikon devre elemanı sayısı güç tüketimi ve çalışma koşulları konusunda yeterli gelişme sağlayamamaktadır [2-5, 60, 66]. Ulaşılan bu sorunun temelinde DE kabullerinin [59], AE açısından tolere edilebilmesi için etkin bir ADA yaklaşımı bulunmamasıdır [1, 61]. Kara bölge ve hook up gecikmeleri bu konudaki en temel sorunlardan birkaçıdır [59, 61, 66]. Problem, DE üzerinde çalışmakta olduğu, AE kütüphane yaklaşımında bir gelişme sağlanmadan, kullanılan DE kapı/eleman sayısının, böylece analog devre eleman sayısının üstel olarak arttırılmasından kaynaklanmaktadır [1, 54, 57, 59]. Üstel olarak artan devre elemanı sayısı teorik tasarımda ihmal edilen, hata olarak kabul edilmeyen noktaların tolere edilemeyecek, ısı gibi farklı fiziksel büyüklük, enerji formatlarında geri dönmeye neden olmaktadır (Advantage Analog) [57, 68]. DE Çözüm gelişimi için temel açıdan bakıldığında evrende bulunan tüm fiziksel büyüklükler makro düzeyde analog olarak anlam kazanmaktadır [1, 65]. Analog ekseninde yaşadığımız dünyada, amaca uygun dijital çözüm geliştirilmesi için öncelikle analog fiziksel bilginin sayısal şekle dönüştürmesi, kayıplar ve hataları tolere ederek giriş verisi dijital ortama aktarıldığı görülmektedir [54, 64-66]. Ardından aktarılan dijital bilgi amaca uygun işlenerek ve yorumlanarak sonuç oluşturulmaktadır [64-66]. Elde edilen dijital sonuç bilgisi yine olası kayıp ve hatalar dikkate alınarak analog çıktı olarak yeniden türetilmektedir [54, 66]. Tanımlanan bu döngü basit bir karar verme işlemi için oldukça uzun, zahmetli ve verimsiz

bir çalışmayı kurgulamaktadır [6-7, 14]. Dikkat çekilen ve günümüzde kullanılmakta olan bu çözüm yaklaşımının daha verimli hale getirilmesi gerekliliği elektronik bilimi açısından önem arz etmektedir [64, 65, 68]. Çözüm yaklaşımı için öncelikle AE ile DE'nin tasarım ve üretim süreci açısından incelenerek Çizelge 1'de karşılaştırmalı olarak sunulmaktadır. Sunulan bilgiler üzerinden aşağıda AE'nin olumlu ve olumsuz yönleri kısaca özetlenmektedir [18, 68];

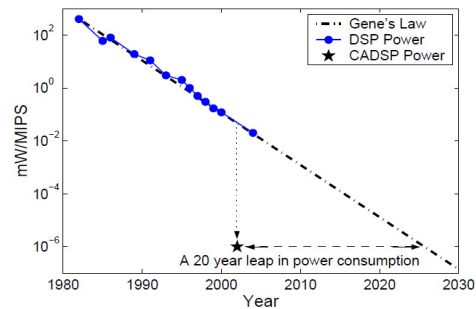
#### Analog Devrelerin Olumlu Yönleri:

- Daha basit yapılarından ötürü düşük güç tüketimine sahiptirler.
- Daha basit yapılarından ötürü çalışma şartları daha esneklerdir.
- Analog Devre için entegre içi yeniden programlanabilir tasarım araçları mevcuttur.
- Daha düşük üretim maliyetleri ile tekrarlanabilir üretim süreçleri mevcuttur.

#### Analog Devrelerin Olumsuz Yönleri:

- Devre Tasarımı temel kütüphane ve matematiksel yaklaşım açısından zordur.
- Devre eleman sayıları ve elemanları değerleri bir arada sonsuz sayıda elemanı oluşturmaktadır.
- Entegre içi tasarım ve SOC yaklaşımı ile üretim sürecinin desteklenmesi gerekmektedir. Fakat bazı analog devre elemanları entegre içine alınması mümkün değildir.
- Devre yerleştirme ve uygunlaştırma yaklaşımı için devre elemanların karmaşık ilişkisi yüksek duyarlıklı bir sorun kümesini temsil etmektedir.
- VLSI Tasarımı için standartlaşmaya, kütüphanesel yaklaşıma ihtiyaç duyulmaktadır.

AE ve DE için karşılaştırmalı güç tüketimi hedefi ile 2000 yılında Gene Franz tarafından yayınlanan yol tanımı çalışmasında dijital işaret işleme konusundaki gelişme ve beklentileri temel alarak kendi ismi ile anılan, Gene kanununu önermektedir [2]. Gene Kanununda mW/MIPS oranı her 18 ayda bir yarı yarıya azalmaktadır [6, 7]. Önerilen Gene kanunu, Moore kanunu kapsamakta ve doğrulamaktadır [3]. Gene kanuna göre Şekil 2'de verilen yıllara yönelik güç tüketim azalması eğrisinde dijital sinyal işleme (ADC destekli) ünitelerine göre analog işaret işleme üniteleri 20 yıl ileride, daha düşük bir güç tüketimine sahip olduğu bilgisi sunulmaktadır.



Şekil 2: DSP Birimlerinin Güç Tüketimi Açısından Yaklaşımların ve CADSP Modeli ile Karşılaştırılması [6-7].

Önerilen kanun hedefindeki doğrulama çalışması, CADSP takımı tarafından pratik olarak doğrulanmaktadır [3-7]. Daha düşük güç tüketimin analog sistemlerde, dijital sistemlere göre 20 yıl önce elde edilmesi başta işaret işleme olmak üzere birçok alanda AE temelli devre modellerine artarak süren bir yönelim oluşturmaktadır [1-5].

Çizelge 1: Analog Devre Tasarım Problemleri [18,53].

Konu	Dijital Elektronik	Analog Elektronik	Çıkarım
Devre Tasarımı	İkili Sistem ve Lojik Eşitlikler ile	Tamamen gerçek fiziksel büyüklükler ile	Analog Devre Tasarımı zordur
Devre Elemanları	Lojik kapılar ve kütüphaneler (~103 adet)	Pasif ve aktif ayrı elemanlar (~10 <sup>∞</sup> adet)	Analog Devre Eleman sayısı şu anda bile bilinmemektedir
Devre Büyüklüğü	Entegre içi yaklaşım ile çok etmen değildir	Entegre içine alınmadığı için etmemdir	Analog Devrenin Entegre içine alınması gereklidir
Yerleştirme	Otomatik yerleştirme ve yol atama araçları mevcuttur	Yerleşim ve yol atama kriterleri çok parametre içermektedir	Yerleşim problemi Analog Devrelerde daha zordur
VLSI Tasarımı	Oldukça pratik ve kütüphane bazlı olduğu için kolaydır	Tüm elemanları kapsayan kütüphane bulunmadığı için çözüme özgüdür	Analog Devrelerin VLSI tasarımı için standartlaştırılması gerekmektedir
Güç Tüketimi	Lojik işlem elemanları çok sayıda alt analog devre elemanı içerdiğinden yüksektir ve karmaşık yapıdadır	Daha az temel devre elemanı kullanıldığı için daha düşük ve basit yapıdadır	Analog Devreler düşük güç tüketimine sahiptir
Çalışma Şartları	Yüksek hız ve adım sayısı gerektirdiğinden spesifikdir	Çalışma şartlarından bağımsız işlem yapabilme kapasitesine sahiptir	Analog Devrelerin çalışma şartları dijital devrelere göre daha esnekler
Tasarım Araçları	FPGA	FPMA, FPTA, FPAA	Analog Devreler için entegre içi dinamik programlanabilen tasarım araçları mevcuttur
Üretim Maliyeti	Kütüphane temelli üretim yaklaşımından ötürü çok sayıda alt devre birimi gereksiniminden ötürü yüksek maliyetlidir	Daha az devre elemanı ve devre büyüklüğü içerdiği için düşük maliyetlidir	Analog Devrelerin üretim maliyetleri çok daha uygundur

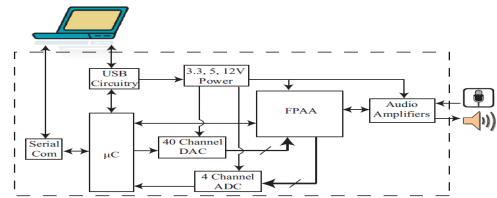
DE Gelişim süreci açısından tasarımcıların pratik olarak doğrulama yapması, hızlı prototipleme ile modüler üretim gerçekleştirebilmesi için FPGA'lar geliştirilmiştir [56, 61]. AE bakıldığında ise FPGA benzeri bir yaklaşımın geliştirildiği görülmektedir [65, 66]. Pratik doğrulama ve modüler üretim amaçlı olarak AE için FPAA geliştirilmiştir [53]. Geliştirilen FPAA önerisi ile DE olduğu gibi benzer tasarım otomasyon sistemlerinin kurulabileceği öngörülmektedir [65]. Fakat AE, DE göre çok daha fazla değişken içermesi, basit bir devre tasarım yaklaşımının kesinlikle ikili sistem şeklinde olmayıp, üstel artan bir karmaşıklık içerdiği görülmektedir [8-11]. Tablo 2'de FPAA pratik uygulama çözüm önerilerinin karşılaştırmalı değerlendirilmesi verilmektedir. Pratik olarak doğrulama yapmadan, hesaplama temelli yaklaşımlar açısından tasarım sürecine bakıldığında; DE Teorik hesaplama yaklaşımları, ayrık ve sürekli zaman ekseninde gerçek zamanlı araştırmanın yapılabilmesi imkân sağlamaktadır [61]. Aynı durumun AE için geçerli olmadığı görülmektedir [65]. AE için alt devre modelleri ve devre çözümleri için günümüzde kullanılan birçok matematiksel yaklaşım geliştirilmiştir [59, 64, 66]. Geliştirilen modeller devre boyutları büyüdüğünde, hesaplamalar içindeki değişken-eleman sayısı ve birbirleri ile zaman eksenindeki ilişkileri geliştirmektedir [65, 68]. Artış gösteren hesaplama gereksinimi işlem süresini üstel olarak

arttırmaktadır [54, 57, 59, 65]. Ulaşılan bu sorunun çözümü için yüksek işlem ve veri kapasitesine sahip bilgisayar birimleri üzerinden geliştirilen, analog devrelerin sonuçlarını simülasyon hesaplaması ile belirlenmesini sağlayan çeşitli yazılımlar bulunmaktadır [12]. Bu yazılımlar içerisinde simüle edilmek istenen AE için önerilen ve modellenen matematiksel eşitlikler üzerinden sonuç hesaplanmasını sağlamaktadır [65]. Hesaplama sırasında kullanılan çözünürlük ve hesaplama modellerinin hata toleransı değerleri sonucu doğrudan etkilemektedir [65, 68]. Elde edilen simülasyon verilerinin, pratik olarak analog devrelerin test edilmesiyle elde edilen sonuçlar ile aynı olmadığı, devre boyutları ve hassasiyeti geliştikçe hata payının inanılmaz boyutlara ulaştığı görülmektedir [13]. Bahsi geçen analog devre tasarımı ve uygulama sorunların raporlanmasına rağmen tasarım ve üretim mühendisleri yoğun bir şekilde analog devre geliştirmeye, daha verimli alt devre modelleri tasarlamayı sürdürmektedirler [66, 68]. Emek yoğun gayretin temelinde analog devrelerin sayısal çözümlere göre daha verimli, az güç tüketimli, geniş yelpazeli ve yüksek performans sağlaması bulunmaktadır [1-7, 66, 68].

### 3. Literatürde Yer Alan Benzer Çalışmalar

1980 Yılından bu güne kadar EHW kapsamında ADA, AE hızlı prototipleme konusunda literatürde bulunan çalışmalar incelenerek Çizelge 2'de genel özet olarak sunulmaktadır. Çizelge 2'de listelenen çalışmalar içerisinde kapsam ve çalışma hedefleri bazında öne çıkan çözüm modelleri daha detaylı bir şekilde aşağıda irdelenmektedir. Seçilen çalışmaların belirlenmesinde ADA çözüm yaklaşımları ve kullanılan doğrulama modelleri belirleyici etmenler olarak kullanılmaktadır.

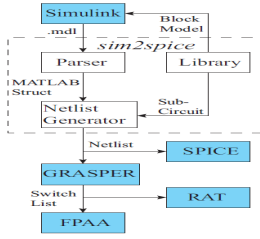
**GRASPER Projesi:** Literatürde yer alan birçok benzer çalışmaların temel platformunu teşkil eden GRASPER projesi Georgia Tech Üniversitesinde geliştirilen, amaca özgü olan RASP, FPAA modülü üzerinde çalışmaktadır. Projede geliştirilen uygulama modeli bilgisayarla iletişim ve ölçüm süreci için ATMEL AVR mikro işlemcisi içermektedir. İlgili işlemci kendisine iletilen bilgiler doğrultusunda FPAA programlamak ve elde ettiği sonuçları bilgisayar ortamına ADC'ler üzerinden aktarmaktadır. Sistem modeli içerisinde MATLAB SIMULINK yazılımı ile geliştirilen devre, öncelikle yazılımsal olarak test edilmekte olup ardından elde edilen sonuç devre modeli Sim2Spice yazılımı ile SPICE kaynak dosyasına dönüştürülmektedir.



Şekil 3: FPAA Programlama ve Kontrol Blok Diyagramı [50].

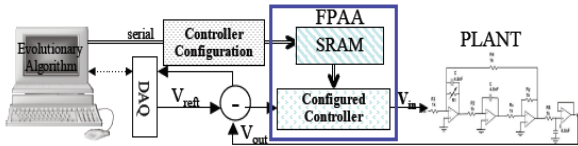
Geliştirilen sonucun hedeflenen sonuç bazında değerlendirilmesinin ardından NETlist olarak tanımlanan çözüm son olarak GRASPER olarak sisteme özgü tasarlanan yazılım parçası ile hedef donanım için uygun tanımlama haline getirilmekte ve gerekli donanım yüklemesi yapılmaktadır. Beş farklı süreç içinde oluşturularak pratik olarak uygulanan sonuç tamamen sistem özgü olup, sistem donanımı ve yazılımı

temelli gelişim sağlanmaktadır. Kullanılan FPAA içinde otuz iki ayrı CAB bulunması, sistemin kendi bünyesinde analog işaret dönüştürücülerin yer alması, önerilen modele artı kazandırmaktadır. Şekil 3’de önerilen sistem modeli ve Şekil 4’de aktarım süreci verilmektedir [50].



Şekil 4: FPAA Üzerinde Aktarım Blok Diyagramı [50].

**GRACE Projesi:** Önerilen model çalışmasını oldukça kapsayan bir proje Cambridge MIT de gerçekleştirilmiştir. Araştırma projesi olarak başlatılan projede Generative Robust Analog Circuit Exploration (GRACE) olarak tanımlanan sistem modeli ile analog devre çözüm önerisi araştırması yapılmaktadır. Önerilen ilgili model Şekil 5’de verilmektedir.



Şekil 5: GRACE Sistem Modeli [42].

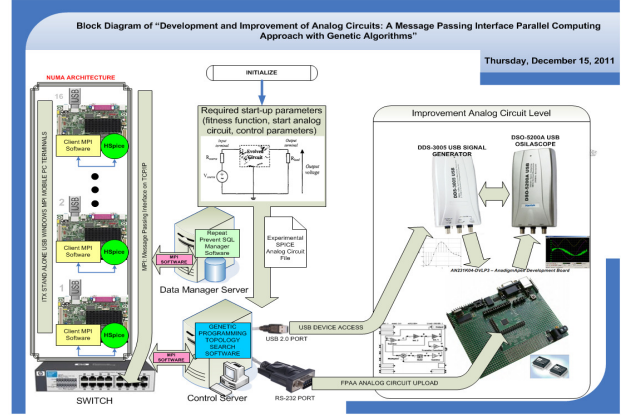
Sistem içerisinde kullanılan araştırma algoritması CGP, devre eleman değerlerini belirlemek için ise PSO algoritması kullanılmaktadır. Yazılım tarafından geliştirilen sonuçlar AN221E04 FPAA kiti üzerine yüklenmekte ve giriş sinyali NI 6221 DAQ dijital analog çevirici ünitesi ile uygulanmaktadır. Elde edilen sonuç verisi ise yine NI 6221 DAQ ünitesi üzerinden temin edilmektedir. Sonuçlar hakkında detaylı bilgi içermeyen çalışmada FPAA kapasitesinin ve niteliklerinin devre tasarımı kapsamında yetersiz olması nedeni ile çalışmanın FPTA üzerinde sürdürülmesi gerektiği vurgulanmaktadır [42].

#### 4. Literatürde Eksik Olarak Belirlenenler

Literatür yer alan çalışmalar incelendiğinde aynı hedef çözüm için geliştirilen 1980 yılından bu yana yirmiden fazla çözüm modeli tespit edilmektedir. İlgili modeller incelendiğinde AE devre tasarım problemi çözümü için öneriler getirdikleri ve ADA tasarım otomasyon çözümleri önerdikleri görülmektedir. Belirlenen çözüm modellerinin geliştirdikleri yaklaşımlar incelendiğinde aşağıda listelenen sonuçlara ulaşılmaktadır;

- Pratik olarak araştırma sonucunun otomasyon sistemi içinde uygulanarak doğrulanması (AE Offset and Validation problem),
- Daha yüksek sistem başarımı için sistemin paralelleştirilmesi (High Calculation Effort),
- Tasarım sürecinde simülasyon yazılımı kullanılması (Pre-evaluation),
- Amaca uygun adapte edilen yapay zeka algoritması kullanılması (Adaptive Artificial Intelligence) ve,
- Tasarım sonucunun çevrim içi değerlendirmesi (Online Simulation for total span).

Beş madde olarak belirlenen ADA gereksinimleri Çizelge 3’de geliştirilen çözüm yaklaşımları ile karşılaştırmalı olarak verilmektedir. Literatür araştırması sonucunda karşılaşılan sorunlar, tespit edilen boşluklar ve olası inovatif yaklaşımlar kapsamında yeni bir çözüm modeli Şekil 6’da önerilmektedir. Önerilen kapsamlı ve uygulama odaklı AE hızlı prototipleme sistem modelinin çözüm modelini içeren başka bir çalışma tespit edilememiştir.



Şekil 6: GENAN ADA Modeli [18,53].

#### Çizelge 3: Analog Devre Tasarım Problemleri ve Geliştirilen Yaklaşım Temelinde Çözüm Önerileri

Tespit Edilen Problemler	Çözüm Amaçlı Olarak Sistem Modeli İçerisindeki Öneri
Devre Tasarımı temel kütüphane ve matematiksel yaklaşım açısından zordur.	En güncel ve yenilikçi çözümler içeren HSPICE Analog Devre Simülasyonu ile öncelikli sonuç analizi.
Devre eleman sayıları ve olası elemanları değerleri bir arada sonsuz sayıda eleman oluşturmaktadır.	Paralel işlem kümesi ile büyüyen araştırma uzayında daha yüksek sayıda araştırma yapmak ve pratik olarak doğrulama donanımı kısıtlamaları bazında araştırma uzayını daraltarak odaklanmak.
Entegre içi tasarım ve SOC yaklaşımı ile üretim sürecinin desteklenmesi gerekmektedir. fakat bazı analog devre elemanları entegre içine alınamamaktadır.	Pratik doğrulama birimi içinde bulunmayan analog devre elemanları yerine FPAA içinde geliştirilen karşılık çözümleri kullanmak.
Devre yerleştirme ve uygunlaştırma yaklaşımı için devre elemanların karmaşık ilişkisi sorun oluşturmaktadır.	Pratik uygulama birimi bağlantı matrisi üzerinde çalışarak daha karmaşık ilişkileri araştırmanın dışında tutmak.
VLSI Tasarımı için standartlaşmaya, kütüphanesel yaklaşıma ihtiyaç duyulmaktadır.	Elde edilen çözümleri veritabanı üzerinde koruyarak VLSI modelleri haline getirmek.

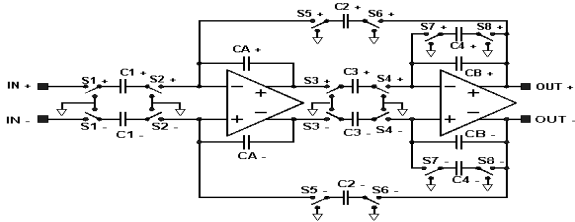
Tespit edilerek incelenen çalışmalar içerisinde önerilen sistem modeli parçalarının yer aldığı, ilgili parçaların kullanılarak sonuç üretildiği ve sonuçların yayınlandığı görülmektedir. Önerilen sistem modelinde yer alan alt birimlerin gerekliliği konusunda doğrulama sağlayan bu bilgi, sistem hedefi, ADA otomasyon sistemi ihtiyaçları gözetilerek seçilmektedir. Çizelge 3’de sunulan model parçalarının bir araya getirilmesi, bir arada çalıştırılarak sonuç elde edilmesi ile sistem kendine özgü bir model olarak literatürde yer alması hedeflenmektedir. Önerilen ADA sistem modeli işlem parçalarının ve adımlarının literatürde benzer çalışmalarda yer almasının, sistem modelinin bütüne engel teşkil etmeyeceği, aksine sistem başarımını doğruladığı düşünülmektedir. Çizelge 1’de verilen analog devre problemleri için önerilen sistem modeli içerisindeki çözüm yaklaşımları sunulmaktadır.

## 5. Pilot Uygulama: Adaptif LPAF Devresi

Filtreler birçok elektronik sistemde temel parça olarak yer almaktadır [70]. Geleneksel ve hızlı çözümlerinin bu alanda analog yapıda kurgulanmaktadır. Fakat sistem ve çözüm temelli gereksinimler açısından geliştirilen analog filtre çözümlerinin adapte edilmesi oldukça zor bir mühendislik problemini oluşturmaktadır. FPAA Dinamik Konsepti ile bu konuda adaptif çözümlere imkan sağlamaktadır. Adaptif filtre ile klasik filtre devresi arasındaki temel fark gerekli şart ve koşullarda filtre devresinin oluşacak gereksinimler temelinde adapte olarak, hata katsayısını minimumda tutmasıdır [71]. FPAA Bünyesinde yer alan mikroişlemci kontrollü sinyal üretici geliştirilen filtre devresinin adaptasyonu desteklemektedir. Şekil 7’de hedef amaç için kullanılan analog devre modeli verilmektedir. Şekil 8’de ise sonuç kalite değerlerinin karşılaştırılması sunulmaktadır. S1-S8 Anahtarlar elemanları kesim frekansını değiştirmekte ve böylece filtrenin adaptif kalite faktörü değiştirilebilmektedir. Bu konuda FPAA üretici firması, Analog Corporation tarafından verilen çizimler, Eşitlik 1 ve 2 de gösterilmektedir. Hedef devre amacı için seçilen  $f_0=10$  KHz değeri kapsamında Çizelge 4’de anahtarlar değerleri sunulmaktadır.

$$f_0 \cong \frac{f_c}{2\pi} \sqrt{\frac{C_2 C_4}{C_1 C_3}} \quad (1)$$

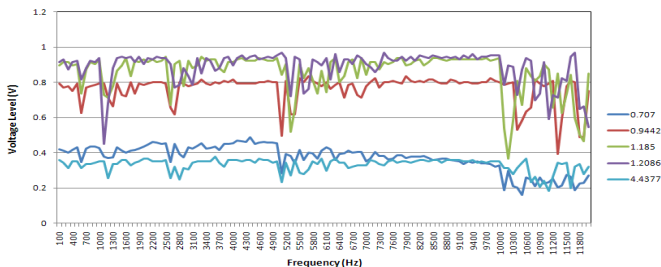
$$Q \cong \frac{C_2}{C_1} \sqrt{\frac{C_4 C_3}{C_2 C_1}} \quad (2)$$



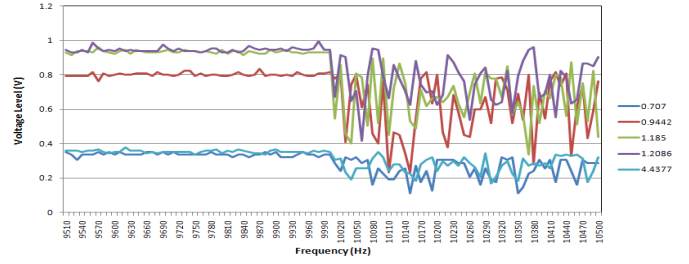
Şekil 7: Genel Amaçlı Adaptif Filtre Devresi [72].

Çizelge 4: Hedef Amaç Anahtarlar Değerleri ve Kalite Faktörü (\*FPAA  $f_0=10$ KHz kütüphane değeri [72])

Anahtarların rakamsal değerleri (ACLK = 4Mhz)								Kalite Faktörü (Q)
C1		C3		C2		C4		
S1	S2	S3	S4	S5	S6	S7	S8	
222	221	10	10	225	225	5	5	0.707*
237	183	55	86	136	130	74	187	0.9442
89	59	39	224	217	136	93	206	1.1850
78	103	8	224	191	189	93	211	1.2086
30	103	8	234	25	189	232	211	4.4377



(a)



(b)

Şekil 8: En iyi kalite değerlerine ait spektrum değerleri; (a) 0.1Khz ile 12Khz, (b) 9.51Khz ile 10.5Khz.

## 6. Sonuçlar

Daha düşük güç tüketimine sahip adaptif filtre tasarım ve üretimine ihtiyaç bulunmaktadır. Buna ek olarak üretilecek devre modelinin çok çeşitli koşullar ve şartlar altında çalışabilmesi gerekmektedir. Bu çalışmada çalışmanın temel hedefi ve kapsamı, hedeflenen amaç için talep edilen niteliklerde devre modeli geliştirmeyi mümkün hale getiren bir çözüm modeli önermektir. Önerilen çözüm modeli ile üç temel hedefe destek olunmaktadır; adaptiflik, düşük maliyet ve geniş kullanım alanı. Sonuç olarak, geliştirilen sistem modelinin benzer amaç ve hedefler için yüksek kapasiteli ve kritik çözümsellik açısından yüksek kapasiteli üretim modelleri için pilot çözüm modelini kurgulamaktadır.

## 7. Kaynaklar

- [1] Middlebrook, R. D., Analog Design: The Academic View, Technology Trends, Electronic, Engineering Times, pp. 87-88, December 17, 1990.
- [2] Franz, G., Digital signal processor trends, IEEE Micro, vol. 20, no. 6, pp. 52-59, Nov-Dec 2000.
- [3] Ellis, R., Yoo, H., Graham, D., Hasler, P., and Anderson, D., A continuous-time speech enhancement front-end for microphone inputs, in Proceedings of the IEEE International Symposium on Circuits and Systems, vol. 2, pp. II-728 – II-731, Phoenix, AZ, 2002.
- [4] Hasler, P., Smith, P., Ellis, R., Graham, D., and Anderson, D. V., Biologically inspired auditory sensing system interfaces on a chip, in 2002 IEEE Sensors Conference, Orlando, FL, June 2002.
- [5] Smith, P. D., Kucic, M., Ellis, R., Hasler, P., and Anderson, D. V., Mel-frequency cepstrum encoding in analog floating-gate circuitry, in Proceedings of the International Symposium on Circuits and Systems, pp. IV-671 – IV-674, Phoenix, AZ, May 2002.
- [6] Hall, T.S., Twigg, C.M., Hasler, P., Anderson, D.V., Application performance of elements in a floating-gate FPAA, Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on, vol.2, pp. II- 589-92, 23-26 May 2004.
- [7] Hall, T.S., Twigg, C.M., Gray, J.D., Hasler, P., Anderson, D.V., Large-scale field-programmable analog arrays for analog signal processing, Circuits and Systems I: Regular Papers, IEEE Transactions on, vol.52, no.11, pp. 2298- 2307, Nov. 2005.
- [8] Koza, R. J., et al, Evolutionary Design of Analog Electrical Circuits Using Genetic Programming, Adaptive

- Computing in Design and Manufacture Conference (ACDM-98), 1998.
- [9] Koza, R. J., et al, Automatic Creation of Computer Programs for Designing Electrical Circuits Using Genetic Programming, Computational Intelligence and Software Engineering, 1997.
- [10] Bennett III, H. F., et al, Automatic Synthesis, Placement and Routing of an Amplifier Circuit by Means of Genetic Programming, FX Palo Alto Laboratory, Palo Alto, California, 2000.
- [11] Koza, J.R., et al, Automated design of both the topology and sizing of analog electrical circuits using genetic programming, In Gero, John S. and Sudweeks, Fay (editors), Artificial Intelligence in Design '96, Dordrecht Kluwer Academic Publishers, pp. 151-170, 1996.
- [12] Grimbleby, J. B., Automatic Analogue Circuit Synthesis Using Genetic Algorithms, IEEE Proc. Circuits Devices Syst. Vol. 147, No. 6, 2000.
- [13] Brambilla, A., D'Amore, D., The simulation errors introduced by the SPICE transient analysis, Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on, vol.40, no.1, pp. 57-60, Jan 1993.
- [14] Lohn, J. D., Colombano, S. P., A Circuit Representation Technique for Automated Circuit Design, IEEE Transactions On Evolutionary Computation, vol. 3, no. 3, pp. 205-219, 1999.
- [15] Aaserud, O., Nielsen I.R., Trends in Current Analog Design – A Panel Debate, Analog Integrated Circuits and Signal Processing, no. 7, pp. 5-9, 1995.
- [16] Rutenbar, R.A., Analog design automation: Where are we? Where are we going?, Custom Integrated Circuits Conference, Proceedings of the IEEE, pp.13.1.1-13.1.7, 9-12 May 1993.
- [17] Goh, C., Li, Y., GA Automated design and synthesis of analog circuits with practical constraints, Evolutionary Computation, Proceedings of the 2001 Congress on, vol.1, pp.170-177, 2001.
- [18] Aksu, O., Kalınlı, A., Development and Improvement of Analog Circuit Design: A Message Passing Interface Parallel Computing Approach With Genetic Algorithms, Society for Design and Process Science (SDPS), Vol 14, No 3, pp. 37-52, 2010.
- [19] Terry, M. A., Marcus, J., Farrell M., O'Reilly U., GPIC: A Genetic Programming Intrinsic Circuit Design Platform, CSAIL, Massachusetts Institute of Technology. Dept. of Electrical Engineering and Computer Science, EVO-HOT, 2005.
- [20] Terry, M. A., Evolving Circuits on a Field Programmable Analog Array Using Genetic Programming, master thesis, MIT, June 2005.
- [21] D'Mello, D. R., Gulak, P. G., Design Approaches to Field-Programmable Analog Integrated Circuits, Analog Integrated Circuits and Signal Processing, vol. 17, issue 1-2, pp. 7-34, 1998.
- [22] Giama, T., Ebenal, A., Programmable Hardware and the New Analog Capacity, Second International Conference on Systems, ICONS'07, pp. 19-25, 2007.
- [23] Wojcikowski, M., Glinianowicz, J., Bialko, M., System for optimisation of electronic circuits using genetic algorithm, Electronics, Circuits, and Systems, ICECS '96, Proceedings of the Third IEEE International Conference on, vol.1, pp. 247-250 vol.1, 13-16 Oct 1996.
- [24] Reiser, C., et al, Dynamically Reconfigurable Analog/Digital Hardware -Implementation Using FPGA and FPAA Technologies, Journal of Circuits, Systems and Computers, World Scientific Pub, Oct. 1998.
- [25] Ganesan, S., Vemuri, R., A methodology for rapid prototyping of analog systems, Computer Design, 1999 (ICCD '99) International Conference on, pp. 482-488, 1999.
- [26] Zebulum, R., Sinohara, H., Vellasco, M., Santini, C., Pacheco, M., Szwarcman, M., A reconfigurable platform for the automatic synthesis of analog circuits, Evolvable Hardware, Proceedings. The Second NASA/DoD Workshop on, pp. 91-98, 2000.
- [27] Stoica, A., Keymeulen, D., Zebulum, R., Thakoor, A., Daud, T., Klimeck, Y., Tawel, R., Duong, V., Evolution of analog circuits on field programmable transistor arrays, Evolvable Hardware, Proceedings. The Second NASA/DoD Workshop on, pp. 99-108, 2000.
- [28] Grimbleby, J.B., Automatic analogue circuit synthesis using genetic algorithms, Circuits, Devices and Systems, IEE Proceedings, vol. 147, no. 6, pp. 319-323, Dec 2000.
- [29] Zebulum, R. S., Vellasco, M., Pacheco, M. A., Sinohara, H. T., Evolvable hardware: on the automatic synthesis of analog control systems, Aerospace Conference Proceedings, IEEE, vol. 5, pp. 451-463, 2000.
- [30] Long, J.D., et al., A Parallel Genetic Algorithm for Automated Electronic Circuit Design, 2000.
- [31] Paulino, N., Goes, J., Steiger-Garcia, A., Design methodology for optimization of analog building blocks using genetic algorithms, Circuits and Systems, ISCAS 2001, The 2001 IEEE International Symposium on, vol. 5, pp. 435-438, 2001.
- [32] Stoica, G., Xin, R.S., Zebulum, M.I., Ferguson, D., Evolution-based automated reconfiguration of field programmable analog devices, IEEE International Conference on Field-Programmable Technology (FPT), pp. 403- 406, 2002.
- [33] Sanahuja, R., Barcons, V., Balado, L., Figueras, J., Experimental Test Bench for Mixed-Signal Circuits Based on FPAA Devices, Conference on Design of Circuits and Integrated Systems (DCIS 2003), pp. 344-349, 2003.
- [34] Colsell, S., Edwards, R., Adaptive Real-Time Systems and the FPAA, Field Programmable Logic and Application, Lecture Notes in Computer Science, Springer Berlin / Heidelberg, 978-3-540-40822-2, pp. 944-947, vol. 2778, 2003.
- [35] Santini, C. C., Amaral, J. F. M., Pacheco, M. A. C., Tanscheit, R., Evolvability and reconfigurability, Field-Programmable Technology, Proceedings. 2004 IEEE International Conference on, pp. 105- 112, 6-8 Dec. 2004.
- [36] McConaghy, T., Eeckelaert, T., Gielen, G., CAFFEINE: Template-free symbolic model generation of analog circuits via canonical form functions and genetic programming, Design, Automation and Test in Europe, vol. 2, pp. 1082- 1087, 2005.
- [37] Okada, K., Yoshihara, Y., Sugawara, H., Masu, K., Reconfigurable RF Circuit Design, 18th Asia and South Pacific Design Automation Conference, ASP-DAC, pp 683-686, 2005.
- [38] Ghali, K., Dorie, L., Hammami, O., Dynamically reconfigurable analog circuit design automation through

- multiobjective optimization and direct execution, *Electronics, Circuits and Systems, ICECS 2005*, 12th IEEE International Conference on, pp.1-4, 11-14 Dec. 2005.
- [39] Hall, T., Twigg, C., Field-programmable analog arrays enable mixed-signal prototyping of embedded systems, *Circuits and Systems*, 48th Midwest Symposium on, vol. 1, pp. 83- 86, 7-10 Aug. 2005.
- [40] Zhao, S., Jiao, L., Zhao, J., Wang, Y., Evolutionary design of analog circuits with a uniform-design based multi-objective adaptive genetic algorithm, *Evolvable Hardware, NASA/DoD Conference on*, pp. 26- 29, 29 June-1 July 2005.
- [41] Jin'no K., An Automated Circuit Design Procedure by Means of Genetic Programming, 2005 International Symposium on Nonlinear Theory and its Applications (NOLTA2005) Bruges, Belgium, pp. 194-197, October 18-21, 2005.
- [42] Terry, M. A., Marcus, J., Farrell, M., Aggarwal, V., O'Reilly, U., GRACE: Generative Robust Analog Circuit Exploration, Applications of Evolutionary Computing EvoWorkshops2006 EvoBIO EvoCOMNET EvoHOT EvoIASP EvoInteraction EvoMUSART EvoSTOC, vol. 3907, pp. 332-343, 2006.
- [43] Li, Y., Cho, Y., Parallel genetic algorithm for SPICE model parameter extraction, *Parallel and Distributed Processing Symposium, IPDPS 20th International*, pp. 8, 25-29 April 2006.
- [44] Ferlin, E. P., Lopes, H. S., Lima, C.R.E., Cichaczewski, E., Reconfigure Parallel Architecture for Genetic Algorithms: Application to the Synthesis of Digital Circuits, *Third International Workshop, ARC 2007, Brazil*, pp. 326-336, March 27-29, 2007.
- [45] Gyorok, G., Self Organizing Analogue Circuit by Monte Carlo Method, *Logistics and Industrial Informatics, LINDI International Symposium on*, pp. 37-40, 13-15 Sept. 2007.
- [46] Aggarwal, V., Berggren, K., O'Reilly, U., On the Evolvable Hardware Approach to Electronic Design Invention, *Evolvable and Adaptive Hardware, 2007 WEAH IEEE Workshop on*, pp. 46-54, 1-5 April 2007.
- [47] Petre, C., Schlottmann, C., Hasler, P., Automated conversion of Simulink designs to analog hardware on an FPAA, *Circuits and Systems, ISCAS 2008, IEEE International Symposium on*, pp. 500-503, 18-21 May 2008.
- [48] Potirakis, S. M., Deli, J., Rangoussi, M., Steady-State and Transient Evaluation of FPAA Implemented Analog Filters Using a MLS System Analyzer, *Systems, Signals and Image Processing, IWSSIP 2009, 16th International Conference on*, pp. 1-8, 18-20 June 2009.
- [49] Krishnamurthy, V., Kim, B., Development of analog circuit design automation tool, *Southeastcon, SOUTHEASTCON '09, IEEE*, pp. 236-241, 5-8 March 2009.
- [50] Koziol, S., et al, Hardware and software infrastructure for a family of floating-gate based FPAAs, *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on*, pp. 2794-2797, May 30-June 2 2010.
- [51] Visan, D. A., Lita, I., Jurian, M., Cioc, I. B., Simulation and implementation of adaptive and matched filters using FPAA technology, *Design and Technology in Electronic Packaging (SIITME), 2010 IEEE 16th International Symposium for*, pp. 177-180, 23-26 Sept. 2010.
- [52] Schlottmann, C. R., Abramson, D., Hasler, P. E., A MITE-Based Translinear FPAA, *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 20, no. 1, pp. 1-9, Jan. 2012.
- [53] Aksu, O., Kalinli, A., Tanik, M., Development and Improvement of Analog Circuit Design: An Adjustable Analog Signal Generation Circuit Approach, *SDPS 2012 Conference, Berlin*, 10-15 June 2012.
- [54] Toumazou, C., Moschytz, G., Gilbert, B., *Trade-Offs in Analog Circuit Design: The Designer's Companion*, Kluwer Academic Publishers, ISBN 1-4020-7037-3, 2002.
- [55] Williams, J., *Analog Circuit Design: Art, Science and Personalities*, ISBN 978-0750696401, pp. 15-16, 1991.
- [56] Aggarwal, V., Berggren, K., O'Reilly, U., On the "Evolvable Hardware" Approach to Electronic Design Invention, *Proceedings of the 2007 WEAH, IEEE Workshop on Evolvable and Adaptive Hardware, 2007*.
- [57] Glenn, G., Sansen, W., *Symbolic Analysis for Automated Design of Analog Integrated Circuits*, The Springer International Series in Engineering and Computer Science, ISBN 978-0792391616, 1991.
- [58] NAIR, B. S., *Digital Electronics and Logic Design*, PHI Learning Pvt. Ltd., part 4-2,4-3, ISBN 978-8120319561, 2002.
- [59] Dobkin, B., Hamburger, J., *Analog Circuit Design*, Newnes, Vol. 3, pp. 38, ISBN 978-0128000014, 2014.
- [60] Eick, M., Graeb, H. E., MARS: Matching-driven Analog Sizing, *IEEE Transactions On Computer-Aided Design Of Integrated Circuits And Systems*, Vol. 31, No. 8, August 2012.
- [61] Hornby, G. S., Sekanina, L., Haddow, P. C., *Evolvable Systems: From Biology to Hardware*, 8th International Conference, ICES 2008, Prague, Czech Republic, September 21-24, 2008.
- [62] Zhang, W., Li, Y., Liu, N., An Online Evolvable Chebyshev Filter Based on Immune Genetic Algorithm, *Proceedings of the International Multi Conference of Engineers and Computer Scientists IMECS, Hong Kong*, (19-21) March, 2008
- [63] Martins, R., Lourenc,N., Horta, N., LAYGEN II— Automatic Layout Generation Of Analog Integrated Circuits, *IEEE Transactions On Computer-Aided Design Of Integrated Circuits And Systems*, Vol. 32, No. 11, November 2013.
- [64] Zebulum, R.S., Pacheco, M.A.C., Vellasco, M.M. BR., *Evolutionary Electronics Automatic Design of Electronic Circuits and Systems by Genetic Algorithms*, CRC Press, pp. 3-6, ISBN 0-8493-0865-8, 2001.
- [65] Malcher, A., Falkowski, P., *Analog Reconfigurable Circuits*, *Intl Journal Of Electronics And Telecommunications*, vol. 60, no. 1, pp. 15–26, 2014.
- [66] Balkir, S., Dundar, G., Ogrenci, S., *Analog VLSI Design Automation*, CRC Press 2003, ISBN:978-0-8493-1090-4.
- [67] Quentin, K.G., and friends, *Tools for Computer-Aided Design of Multigahertz Supeconducting Digital Circuits*, *IEEE Transactions On Applied Superconductivity*, Vol. 9, No. 1, March 1999.
- [68] Sarpeshkar, R., *Analog Versus Digital: Extrapolating from Electronics to Neurobiology*, *Neural Computation* 10, pp. 1601–1638, 1998.

- [69] Platonov, A., Analog Transmission More Efficient Than Digital: Can It Be and When?, IEEE Signals and Electronic Systems (ICSSES), 2014 International Conference on, pp. 1-4, 11-13 Sept. 2014.
- [70] M.. S. Haji Ali, M. M. Shaker, T. A. Salih, Design and Implementation of a Dynamic Analog Matched Filter Using FPAA Technology, IEEE Journal Of Solid-State Circuits, vol. 23, NO. 6, pp. 1298-1308, 2008.

- [71] D.A. Visan, I. Lita, M. Jurian, and I.B. Cioc, "Simulation and implementation of adaptive and matched filters using FPAA technology," Design and Technology in Electronic Packaging (SIITME), 2010 IEEE 16th International Symposium for , pp.177-180, 23-26 Sept. 2010.
- [72] Anadigm, Inc. <http://www.anadigm.com>

Çizelge 2: Evrimsel Donanım İçeren Benzer Çalışmaların Karşılaştırma Tablosu.

<i>Çalışmanın Adı ve Yılı:</i>	<i>Çalışmanın hedefi:</i>	<i>Yapay Zeka Algoritması:</i>	<i>Paralel İşlem:</i>	<i>Yazılım Devre Simülasyonu Kullanımı:</i>	<i>Pratik Uygulama Donanımı:</i>	<i>Bilgisayara Bağlı Üreteç/Ölçüm Cihazları:</i>
System For Optimisation of Electronic Circuits Using Genetic Algorithm, 1996 [23]	Analog Operational Transconductor Amplifier (OTA) Devreleri	GA	Evet (Slave Terminal, Novell)	PSpice	(Tanımlı değil)	(Tanımlı değil)
Dynamically Reconfigurable Analog/Digital Hardware - Implementation Using FPGA and FPAA Technologies, 1998 [24]	Analog Mixed Sinyal Devreleri	MATLAB	Hayır	Hayır	MPAA020	ADC
VASE, 1999 [25]	Analog RF Devreleri	GA	Hayır	SPICE	MPAA020	(Tanımlı değil)
PAMA, 2000 [26]	Analog Devre Tasarımı	GA	Hayır		PAMA	ADC (PIC 16C74B/JW)
EORA SOC, 2000 [27]	Analog devrelerin sıcaklık davranışları	GA	Hayır	SPICE	FPTA	ADC
Automatic Analogue Circuit Synthesis using Genetic Algorithms, 2000 [28]	Analog Filtre Devreleri	GP and GA	Hayır	Spice	(Tanımlı değil)	(Tanımlı değil)
Evolvable Hardware: On the Automatic Synthesis of Analog Control Systems, 2000 [29]	Analog MOS Transistorları	GA	Hayır	PSPICE	(Tanımlı değil)	(Tanımlı değil)
A Parallel Genetic Algorithm for Automated Electronic Circuit Design, 2000 [30]	Analog filtre ve yükseltilmiş devreleri	GA	Evet (master-slave)	SPICE	(Tanımlı değil)	(Tanımlı değil)
Design Methodology For Optimization of Analog Building Blocks Using Genetic Algorithms, 2001 [31]	Analog Filtre Devreleri	GA	Hayır	Hayır (eşitlik üzerinden hesaplama)	(Tanımlı değil)	(Tanımlı değil)
GA Automated Design and Synthesis of Analog Circuits with Practical Constraints, 2001 [17]	Analog Filtre Devreleri	GA	Hayır	Hayır (eşitlik üzerinden hesaplama)	(Tanımlı değil)	(Tanımlı değil)
SABLES, 2002 [32]	Analog Devre Tasarımı	GA	Hayır	SPICE	DSP, FPTA-2	(Tanımlı değil)
BIST, 2003 [33]	Analog Devre Tasarımı	Geçerli değil	Hayır	Hayır	Lattice ispPAC (ispLSI1032E), AN10E40	DAC / ADC (12 bit), ISA Veri Yolu
Adaptive Real-Time Systems and the FPAA, 2003 [34]	Analog Filtre Devreleri	Active Gain Control Algorithm	Hayır	Hayır	AN10E40, FPGA	Osilaskop (İnsan eli)
PAMA, 2004 [35]	Analog Devre Tasarımı	GA	Hayır	Hayır	MUX Analog Matris	DAC/ADC
Application Performance Of Elements in a Floating-Gate FPAA, 2004 [6]	Analog OTA Filtre Devreleri	Simulink (MATLAB)	Hayır	RASP 2.8	Georgia Tech FPAA, 32 bit ARM İşlemcisi	ADC



CAFFELINE, 2005 [36]	Doğrusal Olmayan Analog Devre Modelleri	GP, NSGA-II	Hayır	SPICE	(Tanımlı değil)	(Tanımlı değil)
Reconfigurable RF Circuit Design, 2005 [37]	Analog RF Devreleri	(RF MEMS)	Hayır	Hayır	PLL	DAC(3-4 bit)/ADC
Generic Mixed-signal Rapid Prototyping Platform, 2005 [38]	Analog Band Durduran Filtre Devreleri	NSGA-II	Hayır	Hayır	AN221E04, VIRTEX II	DAC, ADC (AD6645)
Mixed-Signal Prototyping of Embedded Systems, 2005 [39]	Analog işaret işleme devreleri	Geçerli değil	Hayır	Hayır	(Tanımlı değil)	DAC / ADC
RASP, 2005 [7]	Analog OTA Filtre Devreleri	Simulink (MATLAB)	Hayır	RASP 1.5	Georgia Tech FPAA, 32 bit ARM İşlemcisi	ADC
Evolutionary Design of Analog Circuits with A Uniform Design Based Multi Objective Adaptive Genetic Algorithm, 2005 [40]	Analog Yüksek Geçiren Filtre	Multi-Objective Adaptive Genetic Algorithm (UMOAGA)	Hayır	Hayır (eşitlik üzerinden hesaplama)	(Tanımlı değil)	(Tanımlı değil)
An Automated Circuit Design Procedure by Means of Genetic Programming, 2005 [41]	Analog Filtre Devreleri	GP	Hayır	SPICE	(Tanımlı değil)	(Tanımlı değil)
GRACE, 2006 [42]	Analog Devre Tasarımı	CGP, PSO	Hayır	Hayır	AN221E04	DAQ NI 6221
Parallel Genetic Algorithm for SPICE Model Parameter Extraction, 2006 [43]	Analog Devre Elemanı Parametrelerinin Belirlenmesi	GA	Evet (MPI, Linux Cluster)	BSIM4 SPICE	(Tanımlı değil)	(Tanımlı değil)
Reconfigure Parallel Architecture for Genetic Algorithms, 2007 [44]	Dijital Devre Tasarımı	GA, CGP	Hayır	Hayır	Altera EPS10F484C4	Dijital PCI veri yolu
Self Organizing Analogue Circuit by Monte Carlo Method, 2007 [45]	Analog Alçak Geçiren Filtreler	Monte Carlo Method	Hayır	Spice	Hedef olarak AN221E04	(Tanımlı değil)
On the “Evolvable Hardware” Approach to Electronic Design Invention, 2007 [46]	Quantum Computer	(Tanımlı değil)	Hayır	(Tanımlı değil)	(Tanımlı değil)	(Tanımlı değil)
RASPER, 2008 [47]	Analog Filtre Devreleri	Simulink (MATLAB)	Hayır	RASP 2.7, SPICE	Georgia Tech FPAA, 32 bit ARM İşlemcisi	ADC
Steady-State and Transient Evaluation of FPAA, 2009 [48]	Analog Devre Tasarımı	MLS	Hayır	Hayır	AN221E04	Ses Kartı (Giriş/ Çıkış Mono)
Development of Analog Circuit Design Automation Tool, 2009 [49]	Analog CMOS OPAMP	GA	Hayır	Berkeley SPICE	(Tanımlı değil)	(Tanımlı değil)
GRASPER, 2010 [50]	Analog Devre Tasarımı	Simulink (MATLAB)	Hayır	SPICE (Sim2Spice)	Georgia Tech FPAA, 32 bit ARM İşlemcisi	Ses Kartı (Giriş/ Çıkış Mono)
Simulation and Implementation of Adaptive and Matched Filters Using FPAA Technology, 2010 [51]	Analog Adaptif Filtreler	(Tanımlı değil)	Hayır	Anadigm Designer 2 EDA	AN221E04	(Tanımlı değil)
MFPAA, 2012 [52]	Analog Filtre Devreleri Tasarımı	Simulink (MATLAB)	Hayır	Reconfigurable Analog Signal Processor (RASP) 2.8	MFPAA	DAC/ADC
ANEHP-Alpha, 2008 [62]	Analog Filtre Devreleri Tasarımı	Immune GA	Hayır	(Tanımlı değil)	AN221E04	ADC
LAYGEN II, 2013[63]	Analog VLSI Devre Tasarımı	NSGA-II	Hayır	Mentor Graphics' Calibre	GDSII File Output	(Tanımlı değil)