

Salt-MOS Devre Tasarımı Otomasyonu ve Basit Bir Atık Salt-MOS BP/LP Süzgeç Tasarımı

MOS-Only Design Automation and A Simple Agile MOS-Only BP/LP Filter Design

Deniz Ozenli^{1,2}, Hakan Kuntman²

¹Elektrik-Elektronik Mühendisliği, ²Elektronik-Haberleşme Mühendisliği

¹Marmara Üniversitesi, ²İstanbul Teknik Üniversitesi

deniz.ozenli@marmara.edu.tr, dozenli@itu.edu.tr, kuntman@itu.edu.tr

Özet

Bu çalışmada, Salt-MOS devreleri için küçük işaret parametrelerinin SPICE tabanında yeniden elde edimi sonucunda bir otomasyon sistemi sunulmaktadır. Yapılan otomasyon için elde edilen parametreler CADENCE-SPECTRE ve SPICE tabanında yeniden formüle edilerek tasarım aşamasındaki doğrulukları iyileştirilmiştir. Çalışmada g_{ds} , g_m ve I_{ds} için de parçalı polinomsal regresyon modelleri sunulmuştur ve bu formülasyonların klasik ifadelerle başarımlarını kıyaslaması yapılmıştır. Yeniden elde edilen bu küçük işaret parametrelerinin tabanında gerçekleştirilen Salt-MOS tasarım otomasyonunun başarımları örnek yeni bir atık süzgeç yapısıyla doğrulanmıştır.

Abstract

In this work, a systematic of the automation in the result of the re-obtained small signal parameters based on SPICE is presented for MOS-Only circuits. Accuracy of the re-obtained parameters was improved by re-formulating in the basis of SPICE and CADENCE-SPECTRE. Moreover, piece-wise polynomial regressive models are presented for g_{ds} , g_m and I_{ds} . Also, performance of the models are compared with conventional expressions. Success of the given MOS-Only design automation based on re-obtained small signal parameters is verified with an exemplary new agile filter.

1. Giriş

Analog devre tasarımındaki en önemli gereksinim temel devre komponentlerinin fiziksel özelliklerinin ve çalışma prensiplerinin iyi kavranabilmesidir. Salt-MOS devre tasarımı, devre gerçeklerken yonga üzerinde düşük alan kaplaması nedeniyle, analog tümleşik devre tekniği açısından gittikçe önem kazanmaktadır. Analog tasarımda da halen pek çok yapının el hesabıyla ya da manuel olarak tasarlanıp boyutlandırılmaya çalışılması bu ihtiyacı her geçen gün arttırmaktadır. Bu noktada, tasarımcının deneysel tecrübesinin ve bilgisinin yeniden harmanlanarak, klasik formülasyonların yeniden şekillendirilmesi bilgisayar destekli tasarım, otomasyon gibi pekçok aktif araştırma alanının gelişmesine sebebiyet vermiştir. Sonuç olarak, analog devre tasarım otomasyonu son derece aktif bir araştırma alanı olarak

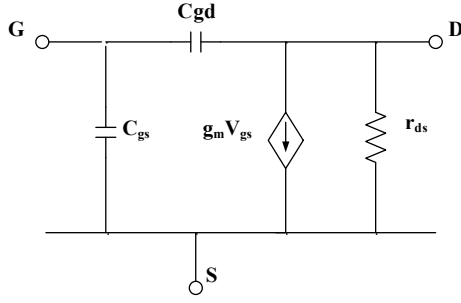
karşımıza çıkmakta ve bu alanda pek çok yeni çalışmalar sunulmaktadır. Bu alanda, literatürde konveks optimizasyon [1]-[3] ve genetik algoritma [4] temelli yaklaşımlar sunulmuştur. Özellikle, konveks temelli yaklaşım optimum çözüm üretebilmesi ve pek çok farklı alanda uygulanabilir gürbüz yapısıyla dikkat çekmektedir. Bununla birlikte bu yaklaşım, maliyet fonksiyonlarının ve tasarım parametrelerinin pozitif katsayılı çok terimli (posynomial) ve/veya tek terimli (monomial) formatta olmalarını gerektirmektedir [5]-[9]. Fakat polinomsal düzenden bu düzene geçişte başarımların kaybı olmaktadır ki bu da konveks temelli yaklaşımın en temel dezavantajlarından biridir. Diğer yandan hesaplama sürelerinin bazen oldukça uzaması, bu yöntemin önemli bir eksiği olarak görülebilir.

Kazanç, hız gibi bir takım başarımların parametrelerin tasarım değişkenlerine bağlı olarak ifade edildiği çalışmalar da literatürde mevcuttur [10]-[12]. Ayrıca buralarda tasarım parametrelerinin teknoloji parametrelerinden bağımsız olarak ifade edildiği de görülmüştür. Fakat, bu yöntemler oldukça yavaş ve hantal işlemler yığınlarından meydana geldiğinden kullanışsız düşmektedirler. Bu noktada literatürde ‘Salt-MOS’ tasarımlar için [13] haricinde herhangi bir tasarım otomasyon modeli sunulmadığı görülmektedir. Bu çalışmada da [13]’teki algoritma takip edilerek iyileştirilmiş ve yeni bir devre tasarım örneğiyle desteklenmiştir. Burada önerilen model 0.18µm teknolojisi için CADENCE-SPECTRE ve SPICE tabanlı benzetimlerde kullanılabilir. Diğer yandan burada sunulan yöntem herhangi bir şekilde benzetim süresini kısıtlayıcı optimizasyon tekniği içermez ve tasarımcının belirleyeceği maliyet işlevlerine göre yüksek doğrulukla sonuçlar verebilmektedir.

2. Önerilen Otomasyon Yöntemi

Analog devre tasarımında en önemli eksik MOS transistörün doyma bölgesindeki etkin kapasiteleri olan C_{gs} ve C_{gd} için benzetim tabanlı ve tasarım parametresine bağlı formülasyonların olmayışıdır. Klasik yaklaşımda ve el hesaplarında devre tasarımı için kullanılan model (1)’de verilmiştir.

$$C_{gs} \approx \frac{2}{3} C_{ox} WL \quad C_{gd} \approx 0 \quad (1)$$



Şekil 1: MOS küçük işaret eşdeğer devresi ($V_{BS} = 0$)

Fakat bu yaklaşım, en önemli tasarım parametreleri olan V_{DS} ve V_{GS} gibi bilgileri içermemektedir. Üstelik doğruluk açısından da oldukça kabadır. Bu doğrultuda, C_{gs} ve C_{gd} , CADENCE-SPECTRE ve SPICE temelinde yaklaşık 350-400 arası örnek alınarak yeniden modellenmiştir. Diğer yandan bu çalışmada C_{ds} ve taban kapasiteleri hesaba alınmamıştır ki özellikle C_{ds} 'in etkisinin orta ve yüksek frekanslarda C_{gs} ve C_{gd} 'ye göre 50-100 kat arası daha az olduğu görülmüştür. Sonuç olarak doğrusal interpolasyon ve eğri uydurma yöntemleriyle Şekil 2 ve 3'de görülebileceği üzere bu küçük işaret parametreleri yeniden modellenmiştir. Sonuçta C_{gs} ve C_{gd} aşağıdaki gibi elde edilebilmektedir:

$$C_{gs} \approx 0.66 * W(k_1 + k_2 L + k_3 V_{GS} + k_4 V_{GS} L + k_5 V_{GS}^2) \quad (2)$$

$$C_{gs} \approx 0.66 * W(m_1 + m_2 L + m_3 V_{DS} + m_4 V_{DS} L + m_5 V_{DS}^2) \quad (3)$$

$$C_{gd} \approx 0.357 * W(n_1 + n_2 L + n_3 V_{DS} + n_4 L V_{DS} + n_5 V_{DS}^2 + n_6 L V_{DS}^2 + n_7 V_{DS}^3 + n_8 L V_{DS}^3 + n_9 V_{DS}^4) \quad (4)$$

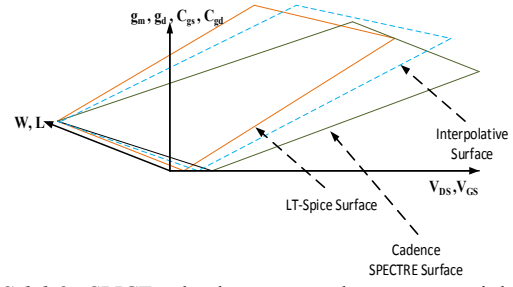
$$L \in [0.18, 1.2], W \in [2, 600] \text{ in } \mu\text{m}$$

Burada (3), sabit V_{GS} durumunda kullanılır. Yani tasarımcı V_{GS} 'i sabit alıp V_{DS} 'i değiştirmek isterse (2) yerine (3) eşitliği kullanılabilir. Eşitliklerdeki, 'k', 'm' ve 'n' gibi sabit terimler küçük işaret parametrelerini teknoloji parametrelerinden kurtarmak için bulunan yaklaşım sabitleridir. Ayrıca bu katsayılar pmos ve nmos transistörler için farklılık göstermektedir.

Öte yandan tasarım üzerindeki diğer bir olumsuz etki de g_m ve g_{ds} 'in tasarım parametrelerine bağlı olmaktan uzak ve çok kaba bir yaklaşıklıkla (5) ve (6)'daki gibi ifade edilmesinden kaynaklanmaktadır.

$$g_m \approx \sqrt{2 \mu C_{ox} \left(\frac{W}{L} \right) I_D} \quad (5)$$

$$g_d \approx \lambda I_D \quad (6)$$



Şekil 2: SPICE tabanlı yüzey uydurma yöntemiyle bulunan küçük işaret parametrelerinin doğrusal interpolasyon yoluyla benzetim programlarına uyumlaştırılması [13]

Burada g_m ve g_{ds} için de yukarıdaki, tasarım için yetersiz ifadeler de (7) ve (8)'de görüleceği üzere özellikle V_{DS} ve V_{GS} tabanında yeniden modellenmiştir.

$$g_m \approx W \left(\left(\sum_{i=0}^{n=2} \sum_{j=0}^{m=2} p_{k,i,j} L^i V_{GS}^j \right) + \left(\sum_{i=0}^{n=1} p_{k,3i,3-3i} L^{3i} V_{GS}^{3-3i} \right) + \left(\sum_{i=0}^{n=1} p_{k,4i,4-4i} L^{4i} V_{GS}^{4-4i} \right) + \left(\sum_{i=0}^{n=1} p_{k,2i+1,3-2i} L^{2i+1} V_{GS}^{3-2i} \right) \right) \quad (7)$$

$$a = \text{linspace}(0.1, 1.8, 5), a(k) < V_{DS}(k) \leq a(k+1)$$

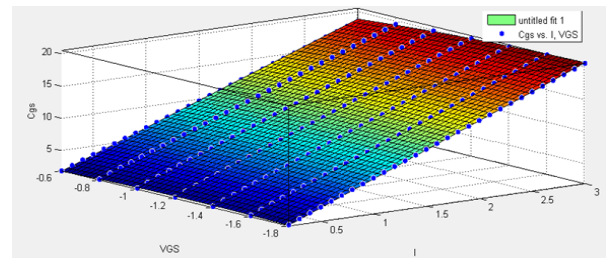
$$L \in [0.18, 1.2], W \in [2, 600] \mu\text{m} k \in [1, 4]$$

V_{DS} geriliminin dört bölgeye ayrılmasıyla transistör eğimi için daha esnek bir model sunulmuştur. Diğer yandan g_{ds} için de aşağıdaki kanal boyuna bağlı parçalı model uygun görülmüştür:

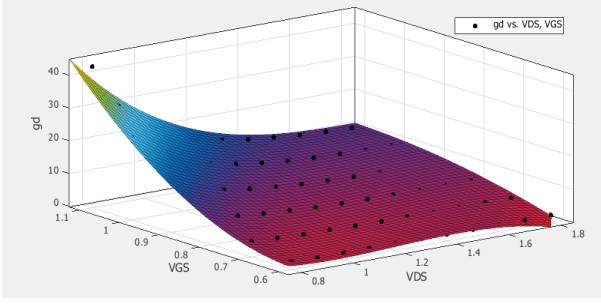
$$g_{ds} \approx W(c_{i1} + c_{i2} V_{DS} + c_{i3} V_{GS} + c_{i4} V_{DS}^2 + c_{i5} V_{GS} V_{DS} + c_{i6} V_{DS}^3 + c_{i7} V_{DS}^2 V_{GS} + c_{i8} V_{DS}^4 + c_{i9} V_{DS}^3 V_{GS}) \quad (8)$$

$$b = \text{linspace}(0.18, 1.2, 11), b(i) < L(i) \leq b(i+1)$$

$$L \in [0.18, 1.2], W \in [2, 600] \mu\text{m} i \in [1, 10]$$



Şekil 3: C_{gs} 'nin V_{GS} ve L üzerinden değişiminin izlenmesi (noktalar SPECTRE ve SPICE benzetimlerinin interpolasyon sonuçlarını gösterirken, renkli yüzey, yüzey uydurma ile tespit edilmiştir. Burada transistör pmos, $W=2\mu\text{m}$ ve C_{gs} 'nin birimi fF'dir.) [13]



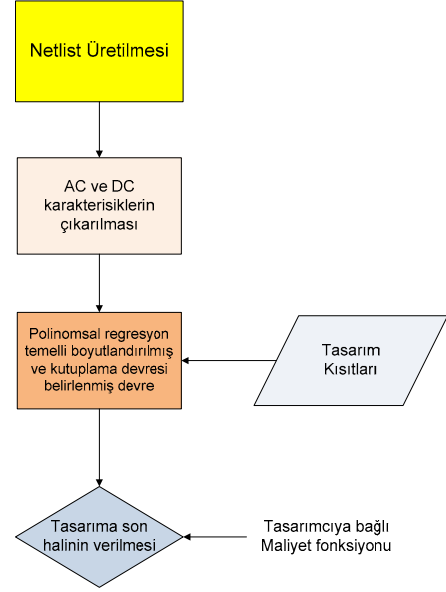
Şekil.4: g_{ds} 'in V_{GS} ve V_{DS} üzerinden değişiminin izlenmesi (noktalar SPECTRE ve SPICE benzetimlerinin interpolasyon sonuçlarını gösterirken, renkli yüzey, yüzey uydurmayla tespit edilmiştir. Burada transistor nmos, $L=0.3\mu m$, $W=2\mu m$ ve g_{ds} 'in birimi μS 'dir.) [13]

Burada g_m ve g_{ds} için 400-500 arası bağımsız örnek alınarak yüzey uydurmalar gerçekleştirilmiş ve tasarım otomasyonunu sağlayacak direkt olarak tasarım parametrelerine bağlı küçük işaret parametreleri yeniden elde edilmiştir. Bu hesaplamaların ışığında yaklaşık 300 değer için benzetim programlarının sonuçları ile hesaplanan değerler arasındaki hata kıyaslaması, literatürdeki en son çalışmalar ile Çizelge.1'de verilmiştir. Buradaki klasik yaklaşım el hesaplarında kullanılan ve (1), (5) ve (6) daki formülasyonlar temelindeki yaklaşımdır.

'MOS-Only' devreler için sunulan ve Şekil.5'de verilen akış diyagramına gelecek olursak, herhangi bir şekilde elde edilen 'netlist' otomasyon girişine verilir. Burada DC ve AC karakteristikler çözülür. DC karakteristikler, doyma koşullarını sağlayacak şekilde ortaya çıkan düğüm gerilimleri ve dal akımlarından oluşan çözüm setleridir. AC karakteristikler ise devrenin istenen transfer işlevi yanısıra merkez ve kesim frekansları varsa kalite faktörü ve tasarımcı tarafından tanımlanabilecek ek çözümleri kapsar. Oluşan ana yapıdaki devre boyutlandırıldıktan sonra tasarımcı tarafından tanımlanmış tasarım kısıtlarını (Q , f_0 , A_v , Z_{in} , Z_{out} vs) sağlayıp sağlamadığı test edilir. Belirlenen kısıtları sağlarsa kutuplama devresi ve kopyalama transistörleri inşa edilir. Buradan sonra kısıtlar yeniden kontrol edilir ve tasarımın son haline karar verilir. Burada istenirse, belirlenen kısıtlara ek olarak yine aynı kısıtlardan veya farklı parametrelerden oluşan maliyet işlevleri tanımlanarak çözüm kümesi daha da darlaştırılabilir.

Çizelge 1: Küçük işaret parametrelerinin hesaplanmasındaki ortalama hata karşılaştırması

Küçük İşaret Parametrel eri (Birim)	Klasik Yaklaşımın Ortalama Hatası (%)	Bu Çalışmada ki Ortalama Hata (%)	[8]'deki Ortalama Hata (%)	[9]'deki Ortalama Hata (%)
g_m (μS)	33	3	3.5	1.2
C_{gs} (fF)	46	2.1	-	-
C_{gd} (fF)	-	1.3	-	-
g_d (μS)	40.6	3.15	24.5	10.1

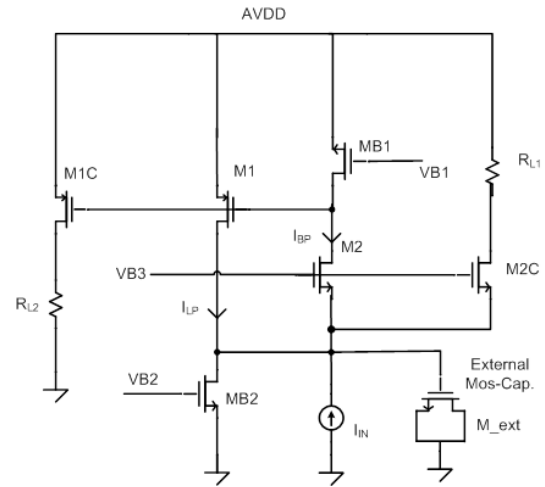


Şekil.5: 'Salt-MOS' devrelerde önerilen tasarım otomasyonu akış diyagramı

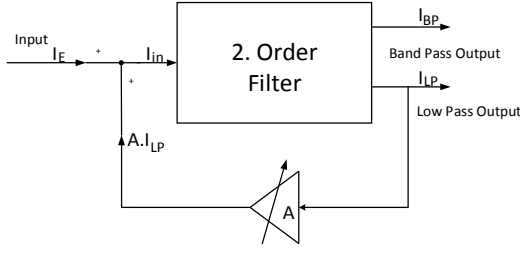
3. Benzetim Sonuçları

Burada tasarım otomasyonu MATLAB'da gerçekleştirilmiş olup, tüm benzetimler Intel i5 2.4GHz PC'de, BSIM3v3 ve 4 model parametreleri esas alınarak 0.18um TSMC CMOS teknolojisi kapsamında yapılmıştır. Şekil 6'daki Salt-MOS atık süzgeç yapısı yukarıda önerilen otomasyon sonucunda oluşturulmuştur.

Atık süzgeç olgusunu Şekil.7'de gözlemlemek mümkündür. Bu yapının ilk ve detaylı incelenmesi [14]'da yapılmıştır. Literatürde de pek çok bu yapıdan kalkınarak atık süzgeç yapıları tasarlanmıştır. [15], [16] ve [17]'de VDTA ve CDTA tabanlı bir takım atık süzgeç uygulamaları sunulurken, [20]'da da özgün bir 'Salt-MOS' atık süzgeç yapısı karşımıza çıkmaktadır. Burada sunulan atık süzgecin literatürdeki yapılardan en büyük farkı tabii ki, Salt-MOS olması ve 500 MHz civarına kadar ayarlanabilir olarak çalışabilmesidir.



Şekil.6: Önerilen otomasyon sonucunda oluşturulmuş 'Salt-MOS' atik BP/LP çıkışlı süzgeç (tüm yapı)



Şekil.7: 2.dereceden akım modlu geribesleme yoluyla merkez frekansı ayarlanabilir atık süzgeç [14]

Burada sunulan ana yapının haricindeki 'M_ext' transistoruyla süzgeç çıkışının kalite faktörü değiştirilebilmektedir. Diğer yandan önerilen süzgecin atık geri besleme yapısı M1 transistörünün kanal boyunun değiştirilmesi yoluyla gerçekleştirilmiştir.

$$\frac{I_{BP}}{I_{IN}} = -\frac{C_{gs1}g_{m2}s}{g_{m2}g_{m1} + C_{gs1}g_{m2}s + C_{gs1}C_{gs2}s^2} \quad (9)$$

$$\frac{I_{LP}}{I_{IN}} = \frac{g_{m1}g_{m2}}{g_{m2}g_{m1} + C_{gs1}g_{m2}s + C_{gs1}C_{gs2}s^2} \quad (10)$$

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_{gs1}C_{gs2}}}, \quad Q = \sqrt{\frac{C_{gs2}g_{m1}}{C_{gs1}g_{m2}}} \quad (11)$$

Yukarıdaki (9)-(11) arası karakteristikler Şekil.8'deki AC eşdeğer devreden çıkartılmıştır. Şekil.8'deki devredeki tüm parazitikler dikkate alınır (12)'deki daha detaylı eşitliği bandgeçiren süzgeç için elde etmek mümkündür:

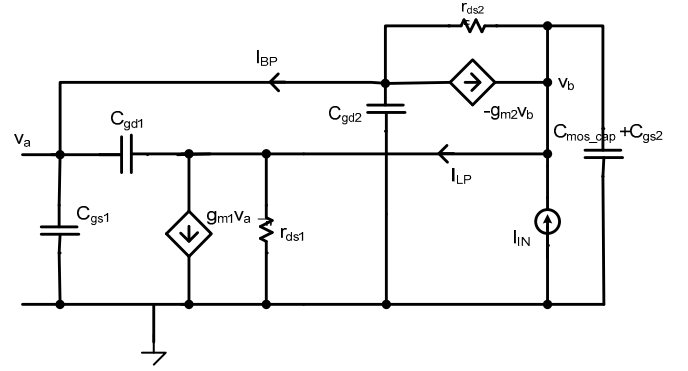
$$\frac{I_{BP}}{I_{IN}} = \frac{C_{gd1}C_{gd2}r_{ds1}r_{ds2}s^2 - (C_{gs1}r_{ds1} + 5C_{gd1}r_{ds1}r_{ds2} + 5C_{gs1}r_{ds1}r_{ds2})s}{c + bs + as^2} \quad (12)$$

$$a = r_{ds1}r_{ds2}(C_{gd1}C_{gd2} + C_{gd1}C_{gs2} + C_{gd1}C_{gs1} + C_{gd2}C_{gs2} + C_{gs1}C_{gs2}) \quad (13)$$

$$b = C_{gd1}r_{ds2} + C_{gd2}r_{ds1} + C_{gd2}r_{ds2} + C_{gs1}r_{ds1} + C_{gs1}r_{ds2} + C_{gs2}r_{ds1} + 3C_{gd1}r_{ds1}r_{ds2} + 5C_{gd2}r_{ds1}r_{ds2} + 3C_{gs1}r_{ds1}r_{ds2} \quad (14)$$

$$c = 1 + 3r_{ds1} + 15r_{ds1}r_{ds2} \quad (15)$$

Otomasyon akışındaki nihai boyutlandırma tüm bu parazitikler dikkate alınarak yapılmaktadır. Çizelge 2 ve 3'deki sonuçlardaki benzetim sonuçları ile bu çalışmadaki sayısal sonuçların arasındaki kabullenebilir farklılık hesaba katılmayan diğer parazitikler ve kutuplama ve kopyalama devresine ait transistörlerin C_{gs} ve C_{gd} haricindeki kapasite ve diğer parasitikleri hesaba alınmamaktadır. Burada basitlik adına bu C_{gs} 'ler de hesaba alınmamış sadece ana yapıdaki tüm parazitikler dikkate alınarak boyutlandırma devresinin boyutlandırılması ise I_{ds} 'nin yeniden modellenmesine dayanmaktadır. Mevcut karesel



Şekil.8: Önerilen Salt-MOS atık süzgecin AC eşdeğeri

bağıntıda I_{ds} için benzetim ile hesap arasında 40%'ı aşan ortalama hatalar almak söz konusu olabilmektedir. Dolayısıyla I_{ds} , (16)'da yeniden ele alınmıştır ve direkt olarak tasarım parametrelerine bağlı olarak modellenmiştir:

$$I_{DS} \approx \frac{W}{L}(d_{i1} + d_{i2}V_{GS} + d_{i3}V_{GS}^2 + d_{i4}V_{GS}^3 + d_{i5}V_{GS}^4) \quad (16)$$

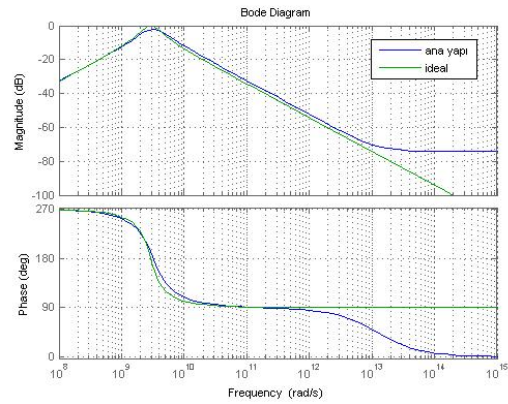
$$a = \text{linspace}(0.1, 1.8, 5), \quad a(k) < V_{DS}(k) \leq a(k+1)$$

$$L \in [0.18, 1.2], \quad W \in [2, 600] \mu\text{m} \quad k \in [1, 4]$$

Şekil.9'da çalışmada önerilen otomasyon yapısının sonucundaki atık süzgeç yapısının ana yapısı ideal elemanlarla yapılan benzetimle kıyaslanmıştır. Sonuç olarak, süzgeç yapısının çıkışında idealle son derece uyumlu bir çıkış görülmektedir. Çizelge.2 ve 3'de ise Şekil.6'daki yapının makalede sunulan otomasyon şemasına göre tasarlanan 2 farklı tasarımı görülmektedir. Şekil.10 da ise bu tasarımların frekans cevabı verilmiştir.

4. Sonuç

Burada önerilen otomasyon algoritması sayesinde son bölümdeki çizelge ve sonuçlardan da görülebileceği üzere özgün Salt-MOS tasarımlar gerçekleştirmek mümkün olabilecektir. Yapılan iyileştirmelerle hantal el hesaplarından kurtulup, yüksek frekanslara çıkabilen ve ufak kırkık alanı kaplayan Salt-MOS yapılar çok daha yüksek doğrulukla boyutlandırılabilir.



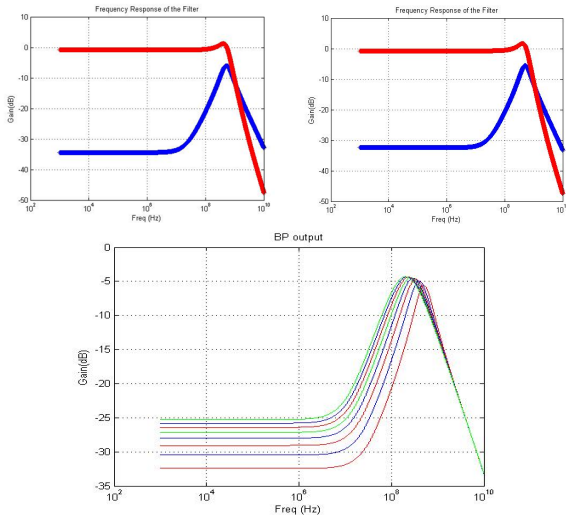
Şekil.9: Önerilen Salt-MOS atık süzgecin ana yapısının ideal devreyle benzetiminin karşılaştırılması

Çizelge 2: Önerilen Salt-MOS otomasyon algoritması ile benzetim sonuçlarının kıyaslanması

Device Specs (DESIGN 1)	LT-Spice	Cadence-SPECTRE	Bu çalışma
$f_0 > 400\text{MHz}$	410MHz	519MHz	460MHz
$Q > 1$	1,1	1,1	1,2
Güç $< 500\mu\text{W}$	370 μW	450 μW	485 μW
Alan $< 100\mu\text{m}^2$	-	90 μm^2	103 μm^2
Transistor Boyutları	M1 W=35 μ , L=0.18 μ M2 W=6 μ , L=0.72 μ MB1 W=10 μ , L=0.18 μ MB2 W=18 μ , L=0.18 μ M1C W=35 μ , L=0.18 μ M2C W=48 μ , L=0.72 μ M_ext W=35 μ , L=1.2 μ VB1=1.2V, VB2=0.58V, VB3=0.8V		

Çizelge 3: Önerilen Salt-MOS otomasyon algoritması ile benzetim sonuçlarının kıyaslanması

Device Specs (DESIGN 2)	LT-Spice	Cadence-SPECTRE	Bu çalışma
$f_0 > 400\text{MHz}$	370MHz	506MHz	420MHz
$Q > 1$	1,1	1,2	1,4
Güç $< 400\mu\text{W}$	320 μW	420 μW	455 μW
Alan $< 200\mu\text{m}^2$	-	122 μm^2	125 μm^2
Transistor Boyutları	M1 W=21 μ , L=0.18 μ M2 W=6 μ , L=1.2 μ MB1 W=5 μ , L=0.18 μ MB2 W=13.5 μ , L=0.18 μ M1C W=21 μ , L=0.18 μ M2C W=48 μ , L=0.18 μ M_ext W=35 μ , L=1.2 μ VB1=1.16V, VB2=0.58V, VB3=0.8V		



Şekil.10: Önerilen aktif süzgecin BP ve LP çıkışları (Solüst-tasarım-1, sağ üst- tasarım-2, alt-BP çıkışın LP geribesleme yoluyla merkez frekansının değiştirilmesi)

Kaynakça

- [1] P. Mandal, and V. Visvanathan, "CMOS Op-AMP Sizing Using a Geometric Programming Formulation", IEEE Trans. CAD, vol. 20, pp. 22-38 Jan, 2001.
- [2] M. Hershenson, S. Boyd, and T. H. Lee, "Optimal Design of a CMOS Op-amp via Geometric Programming", IEEE Trans. CAD, vol. 20, pp.1-21, Jan, 2001.
- [3] S. Maji, and P. Mandal, "A Fast Equation Free Iterative Approach to Analog Circuit Sizing", VLSID, 2012.
- [4] B. Antao, G. Gielen, and R. Rutenbar, "DARWIN: CMOS opamp synthesis by means of a genetic algorithm", DAC, 1995.
- [5] V. Aggarwal, and U. -M. O'Reilly, "Simulation-based Reusable posynomial models for MOS transistor parameters", DATE, 2007.
- [6] A. Magnani, and S. Boyd, "Convex piecewise-linear fitting", J. Optimization and Engineering, 2006.
- [7] J. Kim, J. Lee, L. Vandenbergh, and C. -K. K. Yang, "Techniques for improving the accuracy of geometric-programming based analog circuit design optimization", ICCAD, 2004.
- [8] S. DasGupta, and P. Mandal, "An Improved MOS Transistor Model Suitable for Geometric Program Based Analog Circuit Sizing in Submicron Technology", VLSID, 2010.
- [9] Maji, Supriyo, and Pradip Mandal. "Efficient approaches to overcome non-convexity issues in analog design automation." Quality Electronic Design (ISQED), 2012 13th International Symposium on. IEEE, 2012.
- [10] W. Daems, G. Gielen, and W. Sansen, "Simulation-Based Generation of Posynomial Performance Models for the Sizing of Analog Integrated Circuits", IEEE Trans. CAD, vol. 22, pp. 517-534, May, 2003.
- [11] T. Eeckelaert, W. Daems, G. Gielen, and W. Sansen, "Generalized Posynomial Performance Modeling", DATE, 2003.
- [12] W. Daems, G. Gielen, and W. Sansen, "Simulation-based Automatic Generation of Signomial and Posynomial Performance Models for Analog Integrated Circuit Sizing", ICCAD, 2001.
- [13] Özenli, D. and Kuntman, H. H. "MOS-only circuit design automation", IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS), pp. 203-206. IEEE, 2016.
- [14] Y. Lakys and A. Fabre, "Multistandard transceivers: state of the art and a new versatile implementation for fully active frequency agile filters", Analog Integrated Circuits and Signal Processing, Volume 74, Issue 1, pp 63-78, January 2013.
- [15] Alaybeyoglu, E. and Kuntman, H, "A new VDTA based frequency agile filter," in Electrical and Electronics Engineering (ELECO), 2015 9th International Conference on , vol., no., pp.42-45, 26-28 Nov. 2015.
- [16] Pandey, N.; Pandey, R.; Choudhary, R.; Sayal, A.; Tripathi, M., "Realization of CDTA based frequency agile filter," Signal Processing, Computing and Control (ISPCC), 2013 IEEE International Conference on , vol., no., pp.1,6, 26-28 Sept. 2013.
- [17] Alaybeyoglu, E, Atasoyu M and Kuntman H. "Frequency agile filter structure improved by MOS-only technique." Telecommunications and Signal Processing (TSP), 38th International Conference on. IEEE, 2015.