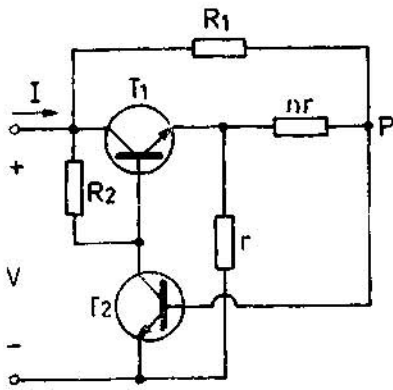
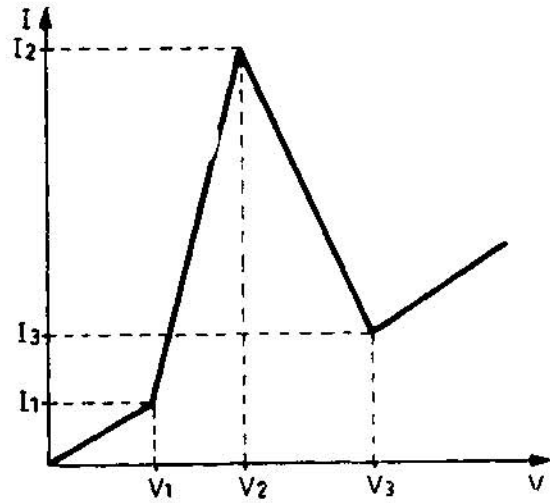


Basit Bir Negatif Direnç Devresi

Bir negatif direnç devresinde elde edilen negatif direnç değerinin yalnızca devrede kullanılan pasif elemanlara bağlı olması ve negatif direnç bölgesinin geniş bir çalışma sahasında geçerli olman istenir. Bu uygulamada anlatılan gerilim kontrollü negatif direnç devresinde negatif direnç, sadece devrede kullanılan dirençlerle belirlenmektedir. Negatif direnç bölgesi de devrenin V - A karakteristiğinin oldukça geniş bir kısmını kapsamaktadır.



Şekil 1.



Şekil 2.

Negatif direnç devresi ve devrenin V - A karakteristiği sırasıyla Şekil 1 ve Şekil 2 de verilmiştir. Giriş geriliminin çok düşük değerlerinde her iki tranzistor kesimdedir. Bu bölge için giriş direnci,

$$R_{p1} = R_1 + (n + 1) r \quad (1)$$

eşitliğiyle verilir. Giriş geriliminin arttırılmasıyla T_1 tranzistoru, taban-yayıcı geriliminin artması sonucu etkin bölgeye girer. Tranzistoru etkin bölgeye $r < 0$ olmak için gerekli taban-yayıcı gerilimi V_r ise, bu koşulu sağlayan giriş gerilimi,

$$V_{VI} = \frac{V_r (R_1 + (n + 1) r)}{R_1 + nR} \quad (2)$$

dir. Giriş geriliminin daha da arttırılmasıyla T_1 tranzistoru etkin bölgede, T_2 tranzistoru kesimde kalmaya devam eder. T_1 in etkin bölgede olması nedeniyle, giriş akımı başlangıçta olduğundan daha hızlı artar. Bu bölgede giriş direnci,

$$R_{p2} = r + \frac{R_2 / (\beta + 1)}{1 + \frac{R_2 / (\beta + 1)}{R_1 + nR}} \quad (3)$$

$$R_1 + nR$$

eşitliğinden hesaplanabilir. Giriş akımındaki artış giriş geriliminin,

$$V_2 = V_r + \frac{V_{TY} (etk) + r (\beta + 1)}{\frac{R_1 + nR}{R_1} + \frac{r (\beta + 1)}{(3 + 1) R_1}} \quad (4)$$

değerine ulaşmasına kadar devam eder. (4) eşitliğinde $V_{TY} (etk)$, T_2 tranzistorunu etkin bölgeye sürmek için gerekli taban-yayıcı gerilimidir. β , T_1 tranzistorunun akım yükseltme faktörüdür. Giriş gerilimi V_2 nin üzerine çıktığında T_2 tranzistoru etkin bölgeye girer, P noktasının gerilimi $V_{TY} (etk)$ değerinde kalır. Giriş geriliminin daha da artmasıyla T_1 tranzistoru kesime yaklaşır ve giriş akımında bir azalma olur. Bunun sonucu olarak girişten R_1/n değerinde negatif bir direnç görünür. T_1 kesime gittiği zaman karakteristikte vadi noktası oluşur. Vadi noktasında,

$$I_3 = \frac{V_3}{R_{p3}} \quad (5)$$

olur. Bu eşitlikte R_{p3} , yaklaşık olarak R_1 ve R_2 dirençlerinin paralel eşdeğerine eşittir. V_r gerilimi de,

$$V_3 = \frac{V_r (1 + \frac{\beta - 1}{nr})}{1 + \frac{R_1}{nR_{p3}}} \quad (6)$$

mühendislik dünyası

uygulamalar

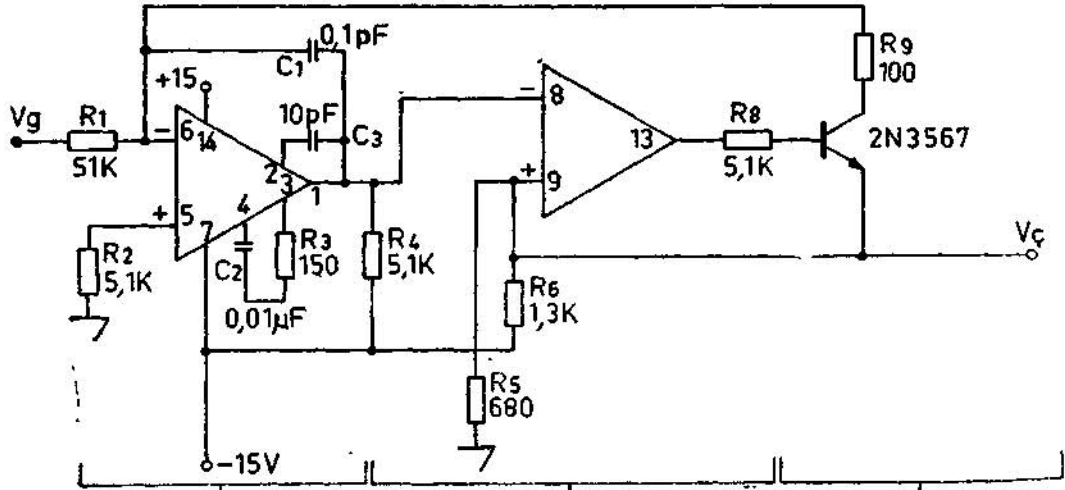
dir. Devre giriş geriliminin V_2 ve V_3 değerleri arasında $-R_1/n$ ye eşit negatif bir direnç gibi çalışır.

Doğrusallığı Yüzde 1 den Daha iyi Gerilim-Frekans

Çeviricisi

Sadece iki etkin devre ögesi (bir $\mu A749$ işlem yükseltici ve bir tranzistor) kullanan bir gerilim-frekans çevirici devrenin şeması Şekil 1 de gösterilmiştir. Çevirmenin doğrusallığı % 1 den daha iyidir.

$\mu A749$ un birinci yansı entegratör olarak çalışır ve uygulanan V_g gerilimiyle orantılı bir negatif yokuş (ramp) gerilimi üretir. Uygulanan V_g gerilimi pozitif bir gerilimdir. Elde edilen yokuş gerilimi ikinci işlem yükseltici katının (-) girişine uygulanır, bu katın (+) girişi ise sabit -4 V luk bir gerilimde tutulmaktadır. Entegratörün çıkışı -4 V a ulaşır ulaşmaz $\mu A749$ un karşılaştırmacı olarak çalışan ikinci yarısının çıkışı VAR (ON) durumuna geçer ve tranzistor bir çıkış darbesi üretir. Tranzistor aynı zamanda yokuş üreticinin entegratör sığacını boşaltır (reset) ve bir sonraki yokuşun başlangıcını, karşılaştırmacının (+) girişini boşaltma süresinin sonuna kadar 0 V ta tutarak, tanımlar. Devre bundan sonra ikinci çevrimine başlar.



Yokuş üretici

Karşılaştırmacı

Çıkış ve sıfırlayıcı

işlem yükseltici : $\mu A749$

V_g : 0 ile $+15$ V arasında

Şekil 1.

mühendislik dünyası

uygulamalar

Boşaltma süresi yokuş süresine göre çok kısa olduğundan çıkış darbelerinin sıklığı (frekans) hemen hemen sadece entegratörün ramp süresi tarafından saptanır. Böylece çok yüksek doğrusallık sağlanır.

ZAMANLAMA SÜRESİ

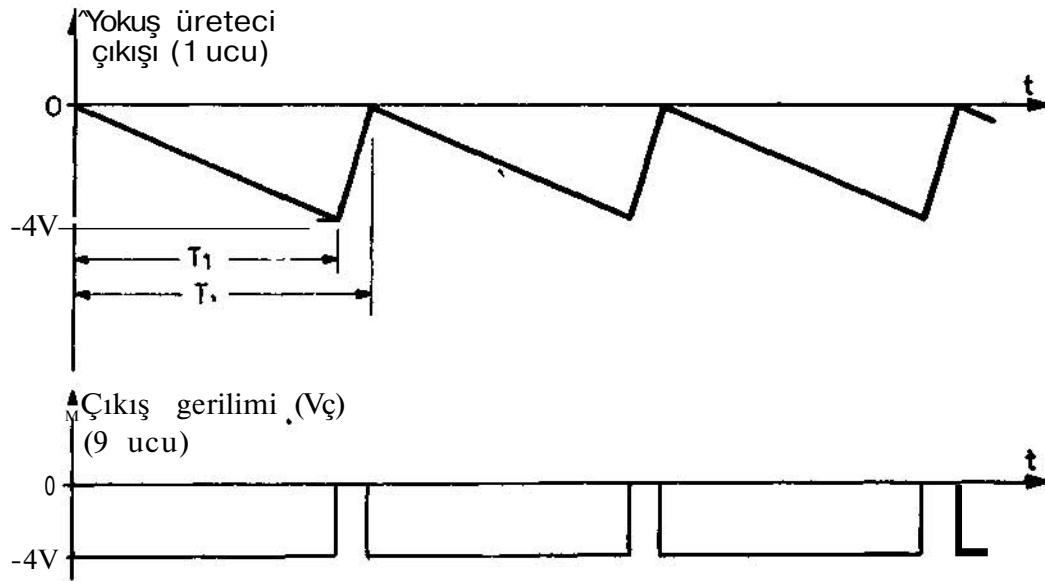
Zamanlama süresi başında : Entegratör çıkışı = 0 V; karşılaştıncı çıkışı YOK (OFF) durumunda; karşılaştıncı (+) girişi R_s , $R \ll$ bölücüsünden dolayı -4 V ta. Yokuş üretici çıkışı aşağıdaki eşitliğe göre negatif bir eğim verir :

$$\frac{\Delta V_c}{\Delta T} = \frac{V_g}{R_1 C} \quad (D)$$

Zamanlama süresi, karşılaştıncının (-) girişi (+) girişindeki -4 V a erişince sona erer ve karşılaştıncı çıkış VAR durumuna geçer. Demek ki zamanlama süresi,

$$T_s = 4R.C, /V_g \quad (2)$$

olarak belirlenecektir.



Şekil 2.

BOŞALMA SÜRESİ

Boşalma süresi başında: Entegratör çıkışı = -4 V, karşılaştıncı çıkışı ve transistör VAR (ON) durumunda. Karşılaştıncı çıkışı VAR a geçince T nin yayıcı (emeter) akımı karşılaştıncının (+) girişindeki gerilimin -4 V tan yaklaşık 0 V a atla-

mühendislik dünyası

uygulamalar

masına yol açar. Aynı zamanda toplayıcı (kollektör) akımı entegratörün toplama bağlantı noktasından akım çeker. Böylece yokuş üreticinin çıkışının eşdeğer R^* direnciyle belirlenen hızda sıfırlanmasını sağlar.

$$R^* = R (1 \text{ ayağı}) + R_1 + R_{TY} (\text{tranzistor}) + R^* \quad (3)$$
$$= 250 + 100 + 25 + 1300$$

* **1675 il**

Bu değer (2) de R_1 yerine konursa, V_g yerine de -15 V kaynak gerilimi konursa, o zaman,

$$T_2 = 4 (1675) (0,1) 10^{-6} / 15 = 44,5 \mu s \quad (4)$$

bulunur. Bu değer deneyle de doğrulanmıştır.

TOPLAM ÇEVİRİM ZAMANI

Toplam periyod T ,

$$T = T_1 + T_2 = \frac{4 R_1 C_1}{V_g} + \frac{4 R^* C_1}{15}$$
$$= 4 C_1 \left(\frac{R_1}{V_g} + \frac{1}{15} \right) \quad (5)$$

olarak bulunur. Pratik olarak R^* li terim çok küçüktür, ihmal edilebilir. Öyle olduğu kabul edilirse, gerilim-frekans çevrim katsayısı (2) yi düzenleyerek :

$$\frac{\dot{I}}{V} = \frac{\dot{I}}{4 R, C} \text{ Hz/V} \quad (6)$$

bulunur.

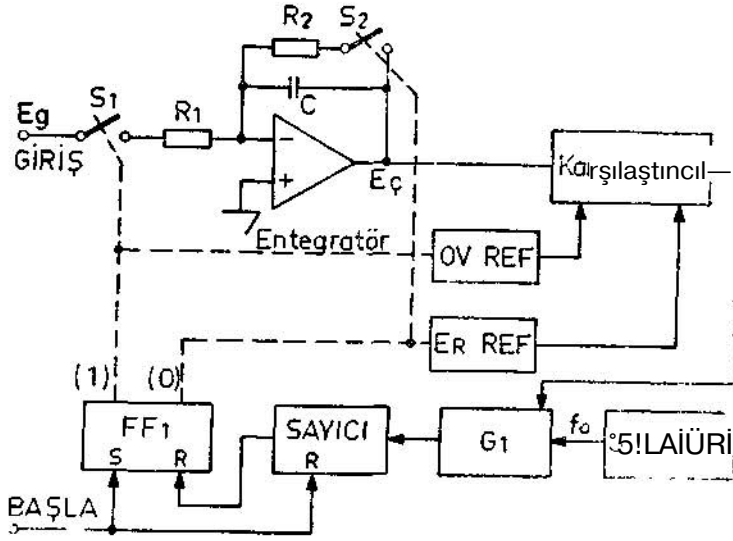
DOĞRULUK

Gerilimden frekansa geçişteki doğrusallık çok iyidir ve deneysel olarak % 1 dolayında olduğu saptanmıştır.

Logaritmik Çıkışlı Örneksel-Sayısal Çevirici

Bir logaritmik çevirici bir de örneksel-sayısal çevirici kullanarak işaret geriliminin logaritmasını sayısal olarak götüreceği bir düzenek yapılabilir. Bu uygulamada benzer amaçla kullanılacak bir devre anlatılmaktadır.

Logaritmik çıkışlı örneksel-sayısal çevirinin devresi Şekil 1 de verilmiştir. Devrede BAŞLA darbesiyle FF1 flip-flopu 1 konumuna geçmekte ve sayıcı sıfırlanmaktadır. FF, in 1 konumuna geçmesiyle S₁ anahtarı kapanmakta S₂ anahtarı açılmaktadır (S₁ ve S₂ anahtarları alan etkili tranzistorlarla yapılabilir). Giriş gerilimi S₁ anahtarı üzerinden entegratöre uygulanır, C kondansatörü R₁ üzerinden dolmaya başlar.



Şekil 1. Logaritmik çıkışlı örneksel-sayısal çevirici

Başlangıçta karşılaştırıcıya uygulanan referans gerilim sıfırdır. Entegratör çıkış gerilimi sıfırdan geçerken karşılaştırıcı G₁ geçidini açar, f₀ frekanslı osilatör darbeleri sayıcıya uygulanır. Sayıcı osilatörün N darbe aldığıında dolar, N + 1 nci darbeye sayıcı başlangıç durumuna yani sıfır konumuna gelir. Bu arada sayıcı çıkışından bir darbe alınır. Bu darbe FF₁ flip-flopunu sıfır durumuna getirir. FF₁ in sıfırlanmasıyla S₁ ve S₂ anahtarları konum değiştirir ve karşılaştırıcıya uygulanan referans gerilimi E_R olur. S₂ nin kapanmasıyla C kondansatörü R₂ üzerinden üssel olarak boşalmaya başlar. Entegratör çıkış geriliminin E_R değerine kadar düşme süresi,

$$U = R_2 C \ln \left[\frac{E_c (\text{tepe})}{E_R} \right]$$

$$= f_0 R_2 C \ln \left(\frac{E_c N}{R_1 C f_0 E_R} \right)$$

dir. Entegratör çıkışı ER olunca karşılaştırıcı konum değiştirir ve G₁ geçidini kapatır. Düşme süresi boyunca sayıcıya uygulanan darbe sayısı,

mühendislik dünyası

uygulamalar

$$N_x = f_0 t_x$$

$$= f_0 R_2 C \ln \left(\frac{E_g N}{R_1 C f_0 E_R} \right)$$

olur. Entegratör çıkışında düşme başladığı anda sayıcı sıfırlanmış olduğundan N_x , sayıcıda depolanan sayıya eşittir. Son eşitlik aşağıdaki gibi tekrar düzenlenebilir :

$$N_x = K_0 \ln(E_g) - a$$

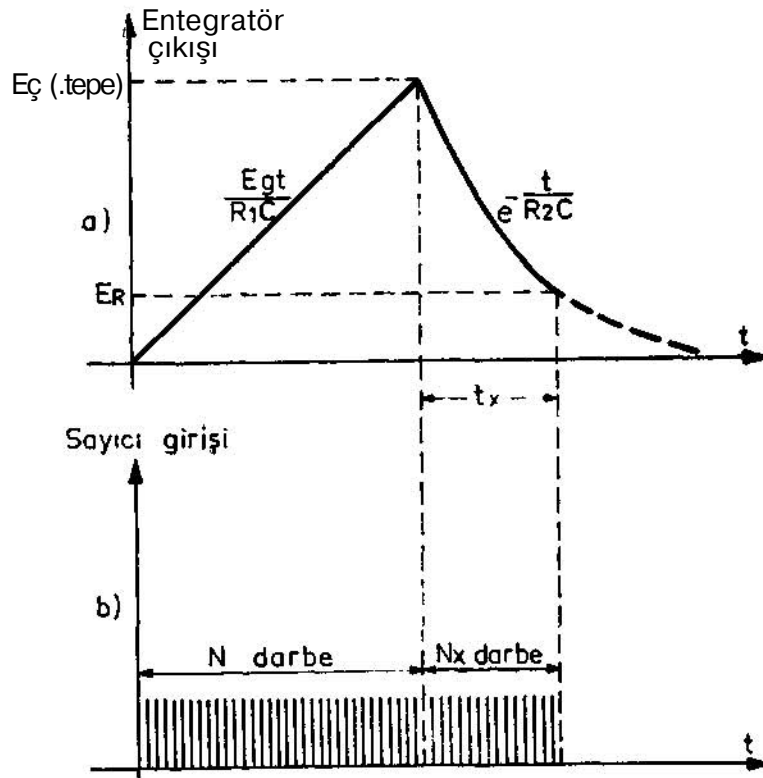
Bu eşitlikte,

$$K_0 = f_0 R_1 C$$

$$a = K_0 \ln(K_1)$$

$$K_1 = R_1 C f_0 E_R / N$$

N_x eşitliğinden görülebileceği gibi sayıcıda depolanan sayı giriş geriliminin logaritmasıyla orantılı bir değer eksi bir sabittir, a 'nın sıfır, ($K_x = 1$) ve K_0 m 1 yapılmamasıyla sayıcıda depolanan değer işaret geriliminin logaritmasına eşit olur.



Şekil 2.

Şekil 2 de, a ve b sırasıyla entegratör çıkışını ve sayıcıya uygulanan darbeleri göstermektedir.