

bode dilzelteç tasarımı

yazan : W. R. Wakeland

çeviren: H. Öner Yurtseveri

UDK: 621-523

ÖZET

Geribeslemeli denetim dizgelerinin ardarda düzeltilmesinin ilk kez ortaya çıkmasından bu yana evre ilerleten yada evre geriletenevire ilerleten devrelerin bulunması sinama-yanılma işlemi olarak öğretilmektedir. Bu yazı, sinama-yanılma yöntemini eleyen, ikil bir denklemin çözümüne yada parametrik bir eğri kümesine dayanan bir yöntem sunmaktadır. Her iki durum için örnekler verilmiştir.

SUMMARY

Since cascade compensation of feedback control systems has been first presented, the determination of the lead or lag-lead network has been taught as a trial and error procedure. This correspondance presents a method, based upon the solution of a quadratic equation or a set of parametric curves, which will eliminate this trial and error. Examples for each case are given.

GİRİŞ

Eniyi ve kesikli dizgeleri ilgilendiren denetim dizge tasarımı tekniklerindeki aşamalara rağmen birçok tasarım eski sıklık-bölgesi yöntemlerini kullanarak yapılır. Geri beslemeli denetim dizgelerinin ardarda düzeltilmesinin ilk kez çıkmasından bu yana evre ilerletenevire ilerleten devrelerin bulunması sinama-yanılma işlemi olarak öğretilmektedir [1-6]. Tecrübeli tasarımcı için deneme sayısı genellikle küçüktür, fakat öğrenci ve tecrübesizler için başarı ancak birçok kestirimlerden sonra gelir. Kök yereğrisi yaklaşımı kullanarak ardarda devrelerin bulunması için çözümsel yöntemleri Ross, Vlarren, Thaler ve WJakeland [7-9] geliştirmişlerdir, fakat Bode ve

W. R. Wakeland, Trinity Univ., San Antonio.

H.Öner Yurtseven, Y.Prof.Dr., ODTÜ

ELEKTRİK MÜHENDİSLİĞİ 243

Nichols için hiçbir yöntem yoktur. Bu yazıda istenen evre ilerletenevire geriletenevire ilerletenevire devrelerin Bode yöntemiyle bir uğraşıda tam olarak bulunması yöntemi verilmektedir. Bu sonuca ikil bir denklemin çözümü yada bir tasarım eğrisi kümesi kullanılarak varılmıştır.

Bode tasarımının amacı istenen kesim sıklığı (ω_c) ve evre boşluğu (0) bulmaktır. Bu ölçütler çoğunlukla yerleşme zamanı ve aşma ile ilgili zaman bölgesi istemleridir. Evre ilerletenevire geriletenevire ilerletenevire devrelerin sıklık tepkisi eğrileri açık döngü dizge tepkisini değiştirmek ve istenilen kesim sıklığı ve evre boşluğu bulmak için kullanılır. Şekil 1 örnek birim geri besleme devresini göstermektedir. Ardarda düzelteç G_c ile gösterilmiştir.

EVRE İLERLETEN DÜZELTEÇ

Evre ilerletenevire devrelerin geçiş işlevi (kazanç katsayısını içermeyen)

$$G_c(s) = \frac{1 + T_c s}{1 + \frac{1}{a} s} \quad (1)$$

ile verilir.

Açık-döngü sıklık tepkisi incelendikten sonra eğer istenilen U_c ve O 'yı elde etmek için $G_c(s)$ nin artı kazanç ve artı evre katkıları olması gerektiğine karar verilirse, o zaman evre ilerletenevire bir devre istenilen zaman tepkisini sağlayabilir. G_c nin kazanç (dB) ve açı (ϕ) katkıları için denklemler

$$P = \text{tg } \phi = \frac{\omega T_c - (a)T_c/a}{1 + (\omega T_c)^2/a} \quad (2a)$$

$$\text{dB} = 10 \log \frac{1 + (\omega T_c)^2}{1 + (\omega T_c/a)^2}$$

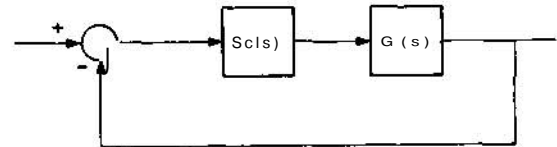
yada

$$c = 10^{\text{dB}/10} = \frac{1 + (\omega T_c)^2}{1 + (\omega T_c/a)^2} \quad (2b)$$

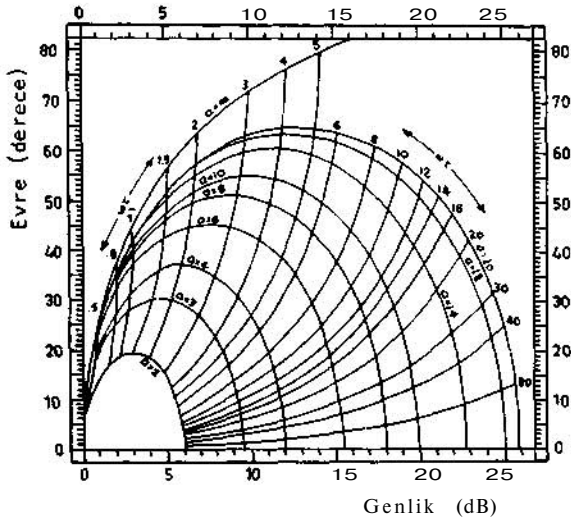
olur. Çözülürse

$$a^2(a-1)^2[(p^2-c+1)a^2 + 2p^2ca + p^2c^2 + c^2 - c] = 0 \quad (3)$$

bulunur. Sıfır ve birdeki çok katlı köklerin tasarıma uygulanamayacağı açık olduğundan, a için çözüm artı olmalıdır ve kolayca gösterilebilir ki dü-



Şekil 1. Birim geri beslemeli dizge.



Şekil 2. Ardarda düzelteç.

- Evre ilerleten devreler için artı dB kazanç ve artı devre kullanarak (xST ve a bulunabilir.
- Evre geriletken-evre ilerletken devreler için eksi dB kazanç ve artı evre a ve $(\omega T_1)'$ bulmak için gereklidir. Daha sonra $\omega T_1 = \frac{a}{(\omega T_1)'}$ kullanılır.

zelteç devresi için $c > p^2 + 1$ sağlanmalıdır. Bu koşul altında, ikil terimin artı ve eksi çözümleri olacaktır, a için uygulanabilir çözüm artıdır. (2) denklemindeki genlik teriminde u_c ve a kullanılarak, T ,

$$(uT)^2 = \frac{a^2 - a^2 c}{c - a^2} \quad (4)$$

denkleminde bulunabilir.

Yukarıda verilen işlem doğru, tam ve kestirmedir. Eğer çizimsel doğruluk yeterli olursa, çözüm hiçbir hesaplama yapmadan Şekil 2'den elde edilebilir. Eğriler gerekli kazanç ve evre katkılarına göre çizilmiştir. ωT ve a değerleri parametrik eğrilerin yardımıyla bulunurlar.

EVRE GERİLETEN-EVRE İLERLETEN DÜZELTEÇ

Evre geriletken-evre ilerletken düzelteç devresinin geçiş işlevi

$$G_c(s) = \frac{1+T_2s}{1+aT_2s} \cdot \frac{1+T_1s}{1+T_1s/a} \quad (5)$$

olarak verilir. Evre geriletken-evre ilerletken devrenin istenilen özellikleri eksi kazanç ve artı evre katkılarıdır. Geçiş işlevi iki parça olarak düşünülürse T_2 zaman değişmezini içeren parça evre geriletken ve T_1 zaman değişmezini içeren parça da evre ilerletken devredir. Çözümlemede, ilk olarak evre geriletken devrenin evre katkısı ($<p_2$) çok küçük eksi değer alırsa ve ikinci olarak gene evre geriletken devrenin kazanç katkısı $-20 \log a$ alınırsa, çoklu terimler dördüncü de-

recede tutulabilir. Birinci varsayımın T_2 'nin hesaplanmasında doğru olduğu görülecek, ikincisi Şekil 3'de gösterildiği gibi çok küçük bir yanılğı doğuracaktır. Evre geriletken devrenin varsayılan küçük eksi evre katkısı, evre ilerletken devrenin evre istemine eklenerek gözönüne alınacaktır.

Kazanç katkısı

$$dB = -20 \log a + 10 \log \frac{1 + (\omega T_1)^2}{1 + \frac{(\omega T_1)^2}{a^2}} \quad \text{yada}$$

$$(\omega T_1)^2 = \frac{a^2 c - 1}{1 - c} \quad (6)$$

olarak verilir. Burada $c = 10 \frac{dB}{20}$ dur. Evre ilerletken evre katkısı (2a) denkleminde verilmiştir. (2a) ve (6) denklemleri çözümlerse

$$a^2 (a-1)^2 [(p^2 c^2 + c^2 - c) a^2 + 2c_p^2 a + (p^2 - c + 1)] = 0 \quad (7)$$

bulunur. Evre ilerletken devrede olduğu gibi, köşeli parantez içindeki ikil terim a için yararlı çözümü verir. Tek bir devre ve artı a için $1/c > p^2 + 1$ dir. Denklem (6) da a ve ω_c kullanılırsa T_1 bulunur. T_2 değişmezi evre geriletken devrenin daha önce varsayılan küçük eksi evre katkısı <2 den bulunabilir.'

$$(a \omega_c^2 \text{tg } 4_2) T_1 + u_c (a-1) T_2 + \text{tg } 4_2 = 0 \quad (8)$$

Burada büyük kök istenilen köktür. Yukarıda verilen işlem evre ilerletken devre işlemi kadar kestirmedir. Genlik varsayımında küçük bir yanılğı varsa da bu Bode tasarımı için yeterince küçüktür.

Eğer kazanç ekseni eksi dB ve $(uT_1) = \frac{a}{\omega T_1}$

alınırsa, Şekil 2'deki parametrik eğriler kolaylıkla evre geriletken-evre ilerletken devre için kullanılabilir. Burada (uT_1) Şekil 2'de okunan değerdir.

ÖRNEKLER

İki örneğin ayrıntıları Çizelge 1'de verilmiştir. Zaman bölgesi istemlerini sıklık bölgesi istemlerine dönüştürmek için ikinci-dereceden dizge kullanılmıştır. Her iki örnek için de

$$G(s) = \frac{K}{s(1+0,2s)(1+0,45s)}$$

olarak verilmiştir.

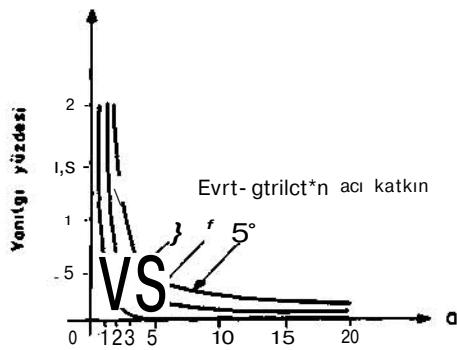
SONUÇ

Bode tasarımı yaklaşımı ile evre ilerletken yada evre geriletken-evre ilerletken ardarda düzelteç bulunmasında artık sına-yanımla işlemlerine gerek yoktur. Açık-döngü sıklık tepkisi sayısal bilgisayarla kolayca elde edilir. Bu yazıda verilen tümüyle çözümsel işlemler için bilgisayar programları yazılabilir, düzelteç ve kapalı-döngü dizge zaman tepkisi denetlenebilir. Bu tür bir program yazar tarafından geliştirilmiştir.

	<u>Evre İlerleten</u>	<u>Evre Gerileten-Evre İlerleten</u>
Aşma	Z 10	% 10
Yerleşme zamanı, % 2	2 san	9 san
Hız yanığı değişmezi	2,4	24
Kesme sıklığı w_c	2,4	3*
Evre boşluğu	58,6°	58,6°
Kazanç değişmezi K	2,4	24
G(jw _c) genliği	-4,2 dB	12,22 dB
G(jw _c) evresi	-162,2°	-174,4°
Varsayılan Ø2	—	-3°
Ü _{Jc} de gerekli kazanç	4,2 dB	-12,22 dB
w _c de gerekli evre	41,2°	56°
c	2,63	0,06
P	0,88	1,48
a	6,4	11,21
Ti	0,55	0,88
T ₂	—	5,791
Gerçek tepke aşması	% 9	% 9,2
Gerçek tepke yerleşme zamanı	2 san	8,5 san

* Kesme sıklığı (ü)_c, 2,4 yerine, evre gerileten devrelerle ilgili deneyler ve ikinci derece yaklaşımlardan dolayı 3 alındı.

Çizelge 1.



Şekil 3. Genlik yanığı yüzdesi. Eğriler, değişik a değerleri için evre geriletten devre genlik katkısı $-20 \log a$ varsayılarak yanığı yüzdesini göstermektedir.

Eğer çizimsel doğruluk yeterli görülürse, Şekil 2'deki parametrik eğriler kullanılarak daha **çabuk** tasarım yapılabilir. wT ve a değerlerini veren desibel ve evre giriş çizelgeleri üretilerek doğruluk artırılabilir. Bu tür çizelgeler üretilmiş ve bir rakamlık doğruluk kolaylıkla elde edilmiştir.

Bode yaklaşımı, istenilen zaman tepkesini, ikinci derece baskın köklere dayandığı için tam olarak garantilemez ise de düzeltecin hemen bulunabilmesi Bode yaklaşımının çekiciliğini **artırmaktadır**.

KAYNAKLAR

- [1] James H., N.Nichols and R.Phillips, Theory of Servomechanisms, New York, McGraw-Hill, 1947.
- [2] Thaler G., R.Broth, Servomechanisms Analysis, New York, McGraw-Hill, 1953.
- [3] Toro v.Del, S.Parker, Principles of Control Systems Engineering. New York, McGraw-Hill, 1960.
- [4] D'Azzo J., C.Houpis, Feedback Control System Analysis and Synthesis. New York, McGraw-Hill, 1966.
- [5] Watkins B., Introduction to Control Systems. New York, McMillan, 1969.
- [6] Dorf R., Modern Control Systems. Reading, MA: Addison-Wesley, 1974.
- [7] Ross E., T.Varren and G. Thaler, "Design of servo compensation based on the root locus approach", AIEE Trans.Applications to Industry, Cilt 79, s.272-277, 1960.
- [8] Makeland VI., "Analytic technique for root locus compensation with quadratic factors", IEEE Trans. Automatic Control, Cilt AC-12, s.631-632, Ekim 1967.
- [9] Vakeland W., "New analytic techniques for root locus compensation", in Proc. First Asilomar Conf. Circuits and Systems, s.562-572, 1967.

TERİMLER DİZİNİ

ardarda : *cascade*
aşma : *overshoot*
eniye : *optimal*
evre boşluğu : *phase margin*
evre ilerleten : *phase lead*
evre geriletten : *phase lag*
geri besleme : *feedback*
ikil : *quadratic*
kazanç boşluğu : *gain margin*
kök yereğrisi : *root locus*
sınama-yanılma : *trial and error*
tasarım : *design*
yerleşme zamanı : *settling; time*