

TÜMLEŞİK DEVRELERİN SINAMA YÖNTEMLERİ (*)

Yazan : K. Baker
J.S.Whitelegge
Çeviren : Sevgi Ensen

Mikroelektronik, hemen herkes için hayatı daha kolay ve daha tatlı kıldı; bu karmaşık devrelerin tasarım ve sınanmasından sorumlu kişiler hariç tabii. Bu, özellikle, üretilen bu çapraşık aygıtların öngörülen işi yapıp, yapmadıklarını anlamak için sinama programları geliştirmek zorunda olan mühendisler için doğrudur.

Eskiden, bu nisbeten kolaydı, çünkü geniş ölçekli sistemler kurulurken, gerektiğinde ayrılıp tekrar sınanabilecek önceden sınanmış modüller (MSI yongaları ve kartları) kullanılırdı. LSI ve VLSI sistemlerde, yapıları gereği bu özellik kaybedildi. Bu tür, yüksek derecede tümleşik sistemlerin sınanmasının, özellikle de tasarım sırasında sinama sorunu önden düşünülmemişse, son derece pahalı olabileceği gösterilmiştir. Bu olgu ve çeşitli tasarım yaklaşımlarının uyuşturulması ihtiyacı, sinama mahiyetini en aza indirmek için sı-

(*) GEC Journal of Science and Technology, Vol.48, No.2, 1982.

nama yöntemlerinin tasarım felsefesine sokulmasını şart kılmıştır.

VLSI SINAMA SORUNU

VLSI sinama sorununun çeşitli nedenleri vardır ve birçok düzeyde kendini gösterir. Korkunç karmaşıklık ana nedenlerden biri olmakla birlikte, belirli bir tasarımın sınanabilir olup olmadığını belirleyen şey, içsel fiziksel niteliklerden çok sınanmanın maliyetidir.

Sinama maliyetleri, temel tasarımdan, sinama bölümünün işletme maliyetlerine kadar pek çok işe dağılmıştır. Bu nedenle sinama yöntemleri, toplam maliyeti azaltmak ve ürün kalitesini yükseltmek için tüm bu işlerin taban maliyetlerini ele almalıdır.

CAD için sorun iki temel alana ayrılmaktadır:

(i) Otomatik Sinama Üretimi (ATG) -devre çıktılarında belirli bir dizi hata şartlarına yolaçan girdi uyarılarının bulunması süreci.

(ii) Hata Benzetimi Yoluyla Sınamanın Doğrulanması -belirli bir sınanmanın bu hatayı bulabilip, bulamayacağını saptamak için bir devredeki hatanın benzetimi süreci.

Eskiden, mantık sınaması ya ATG programlarının kullanılmasına ya da sınanmanın doğrulanması programlarını kullanan sinama mühendislerine dayanırdı. VLSI devreleri için bu yöntemler işe yaramaz çünkü bu devreler fazla karmaşıktır. ATG'de sorun, aygıtların karmaşıklığı artarken devreye bacaklardan girişin nisbeten az gelişmesi yüzünden ATG programlarının bütünlüklü sinama programları üretme yeteneğinin çarpıcı bir biçimde yok olmasıdır.

Bu soruna; çoğu ATG programlarının tümleyici bir ögesi olan hata benzetiminin artan maliyetleri eklenir. Gözlemsel maliyet artışı olgusu da tedirgin edicidir, çünkü göstermiştir ki hata benzetimiyle desteklenen sinama üretimi için gerekli bilgisayar çalışma süresi, yaklaşık olarak mantık devrelerinin sayısının kübüyle orantılıdır. Üstelik bu sorunla birlikte ardışık mantığın (sequential logic) karmaşıklığına bağlı olarak tüm hatalar kapsanamaz olur.

Görünüşe göre bunun yanıtı, tasarımcının ya zekice tasarım teknikleri kullanarak bu sorunlardan sakınmak, ya da düşük sinama maliyetlerini güvenceye almak üzere tasarılanmış bir dizi kuralla kendini sınırlamak zorunda olduğudur.

Benzetici (analog) devrelerin sınanması, birçok bakımdan sayısal devrelerin sınanma tarzından çok farklıdır. Bunun nedeni, benzetici devreler üzerinde çok çeşitli belirtiler (spesifikasyonlar) için geniş parametrik sınamalar uygulamanın gerekli oluşudur. Böylece benzetici işlevlerin sınanması zaman alıcı ve paha-

h bir hale gelir, özellikle de parametrelerin çalışma şartlarına bağlılığı dikkate alındığında.

Burada, bellek-sınama sorununun ve sayısal VLSI sınamalarının muhtemel geleceğinin yakın bir benzeri yatmaktadır. Tam bir betimlemenin gerçekçi olmadığı noktada ürün kalitesini güvenceye almanın tek etkili yolu, süreç sapma payları (toleransları) hakkındaki bilgimizin ve CAD kolaylıklarının (facilities) yardımıyla devre işleyişinin dikkatle gözlenmesidir. Bu yapı içerisinde sınılanabilirlik açısından tasarım karmaşık bir iştir, çünkü burada süreç parametrelerine daha az duyarlı öğeler devrenin bir parçası olarak dolaylı yoldan sınılanabilir durumda bırakıldığı halde duyarlı öğeler sınavıcı tarafından kolayca ulaşılabilir olmalıdır.

Mevcut ATG ve Hata - benzetim Programları

önce de belirtildiği gibi standart sınıma-üretim programlarının VLSI sınamalarında uygulama değeri sınırlıdır. Gene de küçük LSI devreleri için bu programlar hala kullanışlıdır. Bu, özellikle, sınıma alanında birçok uygulamaları olduğu için ha'ta-benzetim kolaylıkları için doğrudur.

GEC'de halen, ATG kolaylıklarıyla birlikte üç mantık benzetimcisi vardır: HJLO, LASAR ve TEGAS 5.

Bu programların ölçek ve maliyetlerinin genel bir dağıtımını sınırlandırıcı bir etkisi vardır, ve bu yüzden merkezi sınıma kolaylıkları olarak değerlendirilmelidirler.

SINAMA SORUNUNA MEVCUT YAKLAŞIMLAR

Sınılanabilirlik için tasarım' deyimi, sayısal devre sınıma sorununun hiç te basit olmadığı ve tasarım sistemlerinin tüm düzeylerde yeniden ele alınmasını gerektirdiğinin kavranmasının bir ürünüdür. (1) Tarihsel olarak, bu soruna iki yaklaşım geliştirilmiştir. Birincisi ve çoğunlukla 'yapısal yaklaşım' olarak adlandırılan, tasarımın, otomatize teknikler kullanarak yapılan sınıma, yapı gereği kolay olacak biçimde sınırlandırılmasıdır. Bu yöntem, sınıma sorununu Şek.1. de gösterildiği gibi uygun biçimde parçalanmış bileşimsel (combinational) mantık devrelerinin sınımaına indirgemek için, hemen hemen yalnızca, Düzeye Duyarlı Tarama Tasarımı (LSSD) ve Tarama Yolu (2) nun, tarama erişim (scan access) tekniklerini kullanır. Bu açıdan tarama-erişim teknikleri, oldukça yararlıdır, çünkü pek iyi bilinir ki ATG programları bileşimsel mantık için çok iyidirler ama yüksek derecede ardışık (sequential) mantık söz konusu olunca işe yaramazlar.

Yapısal yaklaşımın karşısındaki alması, tasarımcının devrenin mantıksal işlevini sınamak için sınıma dizileri geliştirdiği 'karakutu sınaması' kavramından geliş-

tirilen 'esnek yaklaşım'dır. Esnek yaklaşımda tasarımcının, hem kolayca sınılanabilir mantık (makro modüller) geliştirebildiği, hem de bunlar için sınıma dizileri (makro sınamalar) üretebildiği varsayılır. Bununla birlikte, bunu yapabilmek için, etkinliğini geliştirebilmek için tasarım ve sınıma yardımlarına gerek duyulacaktır.

Sınılanabilirlik için tasarıma yönelik bu iki yaklaşımın nerede kullanılacağı büyük ölçüde tasarım yöntemine bağlıdır ve altsistem tasarımcılarının bu iki yaklaşımla ilgili çeşitli sorunları değerlendirmesi gereklidir. Bu noktayı açmak için karşılaştırmalı avantaj ve dezavantajları sıralayalım,

- (i) Hızlı ve gayet otomatik sınıma yöntemi
 - (ii) Fazla sınırlandırılmış tasarım yöntemi (tamamen eşanlı mantık)
 - (iii) % 10 - 25 donanım (hardware) masrafı
- Esnek Yaklaşım
- (i) Esnek/karışık sınıma yöntemi (makro, tarama, kendi kendini sınıma)
 - (ii) Az sınırlandırılmış tasarım yöntemi
 - (iii) En az donanım masrafı

GEC Hirst Araştırma Merkezi iki tasarım seçeneği öneriyor: Yüksek performanslı seçenek merkezileştirilmiş ısırmama tasarıma dayanır, düşük riskli seçenek ise yaygınlaştırılmış, otomatikleştirilmiş tasarıma dayanır. Merkezi leştirilmiş ısırmama tasarımda, kullanılan sınıma yöntemi çok büyük ölçüde o tikel projenin karakteristiklerine bağlıdır. Tarama erişim tekniklerinin doğası, bu seçeneğin hız, maliyet ve işlevsel performansıyla tam bir uyum içinde değildir. Bu nedenle proje gerektirdiği takdirde, esnek yaklaşım için gerekli tecrübe ve araçlar hazır olacaktır. Yaygınlaştırılmış otomatikleştirilmiş yaklaşımda yöntem belirsiz ki yapısal yaklaşım olacaktır, çünkü tüm düşük-riskli tasarım kavramıyla tam uyumdadır. UK.5000 kapı-sırası (gate-array) kavramı, Um otomatik bir tasarım sistemi kullanıldığı halde LSSD'nin donanım maliyetlerinin en aza indirilebildiği bu ikinci yaklaşımın mükemmel bir örneğidir.

Tarama-yolu ve LSSD için Sınıma Üretim Programları

Halen GEC'de, yalnızca bir tane uzmanlaşmış tarama-yolu ATG programı mevcuttur. Marconi araştırma merkezince geliştirilen bu program DESCANT olarak bilinmektedir. Çok hızlı olmasına rağmen, mevcut uyarlamasında kısıtlayıcı bir dizi tasarım kuralı bulunmaktadır. Tasarım kısıtlamalarını azaltmak ve genel kullanılabilirliğini artırmak için DESCANT üzerinde bazı gelişmeler tasarlanmakta, niyetlenilmektedir.

UK5000 projesi için özel-amaçlı bir LSSD sınıma üretici şimdilerde geliştirilmektedir. ULA'lar için dü-

şünülmüş olmakla birlikte, bu program ilerde genel kullanıma hazır olacaktır. Tarama-yolu/LSSD felsefesinin genel gelişimi, tasarım yöntemini şimdiki kısıtlamaların birçoğundan kurtarmalıdır. Bu nedenle diğer mantık biçimleri (Ör. PLA'lar, RAM'lar ve aşzamsız mantıklar) için yeni uzman sına üretçilerinin geliştirilmesi gelecek için öncelik taşımaktadır.

SINANABİLİRLİK ÖLÇÜMÜNÜN YARDIMI

Sinanabilirlik ölçümü, kolayca sinanabilir mantık üretiminde tasarımcıya yardım eden bir araç olarak son yıllarda ün kazandı. Böyle olmakla, sinanabilirlik ölçümü, sinanabilirlik için tasarıma yönelik esnek yaklaşıma yardım amacına yöneliktir. Şimdilerde en popüler bilgisayar-yardımlı sinanabilirlik ölçümlerinden biri, SCOAP'tır. (3)

Hirst Araştırma Merkezi'nde kolayca sinanabilir sayısal sistemlerin tasarımda olabilir bir araç olarak SCOAP'ı incelemekteyiz. Bu çalışmada, hem SCOAP'ın şimdiki uygulamaları, hem de sinanabilirlik-ölçümü araçlarının gelecekteki gelişimi ile önemli noktaları belirledik: özellikle, yüksek-düzye tasarım-berisi m araçlarının gelişiminde sinanabilirlik ölçümünün yeri SCOAP, tasarımcının sına sorunları ve mevcut çözümler konusundaki uyanıklığına artıran bir şemanın parçası olarak, kolayca sinanabilir devrelerin geliştirilmesi yararlı biçimde uygulanabilir. Bu yolla, sına sorunu hakkındaki bilgiler, sına üretçilerinin doğrudan kullanımına bağlı üzücü ve pahalı öğrenme dönemleri olmaksızın bireysel tasarımcılar ve tasarım grubunca biriktirilerek geliştirilebilir. Yöntem, devrenin denetlenebilirlik/gözlenebilirlik (C/O) özelliklerini sıralamak (characterize) için altı işlev hesaplar. Bu işlevlerden hareketle, devrenin iç düğümlerinin denetleme ve gözleme maliyetlerinin nicel bir ölçümü türetilebilir. Bu, özgül bir dizi sına vektörleri veya sına-üretim yöntemine başvurmaksızın, yalnızca devrenin topolojisi gözönüne alınarak başarılır.

SCOAP çözümlenmesi, herbir devre düğümüne altı sinanabilirlik değeri verir: bileşimsel denetlenebilirlik 0 ve 1 (CCO, CCI), ardışık denetlenebilirlik* ve 1 (SCO, SCI), bileşimsel ve ardışık gözlenebilirlik (CO, SO).

Bunlar şöyle tanımlanırlar: CC değerleri, ele alınan düğümden 0 veya 1 elde etmek için belirli bir değer verilmesi gereken en az düğüm sayısı olarak tanımlanırlar. O düğümden CO değeri, bu düğümün değerini birincil çıktıya götürmek için değerinin belirlenmesi gereken düğüm sayısı, artı duyarlı yol üzerindeki bileşimsel (combinational) hücrelerin sayısıdır. Bu yüzden, bileşimsel sinanabilirlik değerleri, sına üretimi maliyetinin uzamsal bir anlamda tahmini bir üst sınırını verir (yani, bir düğümün sinanabilmesi için devrenin

ne kadar bir kısmının aynı anda denetlenmesi gerektiğini). Ardışık sinanabilirlik değerleri de benzeri bir tarzda iş görür, yalnız ele alınanlar yalnızca devrenin ardışık düğümleridir (yani bellek öğeleri). Böylece, ardışık sinanabilirlik, sına üretiminin maliyetinin zamansal anlamda tahmini bir üst sınırını verir. Bu yolla, bir devrenin belirli bir parçasının sinanmasının güçlükleri, özgül uzamsal ve zamansal karakteristiklere ayrılabilir ve sinanabilirliği geliştirmek üzere uygun ölçümler alınabilir.

SCOAP uygulamasının basit bir örneği Şek.2. de görülüyor.

Şimdiki haliyle SCOAP'ın bir zayıflığı, projenin tasarım sürecine tamamen etkili olamayacak kadar geç girmesidir. İdeal durumda, sinanabilirlik çözümlenmesi herhangi bir biçimde, tasarımın, en üst düzeylerinde kullanılabilir olmalıdır ki böylece bu aşamadaki tasarım uzlaştırmaları, tasarımın son sinanabilirliği üzerinde ters etkilere göstermesin.

OTOMATİK SINAMA AYGITLARI

Şimdiki mikroelektronik devreler, mevcut otomatik sına aygıtlarının (ATE) kendilerini sına güçlerine meydan okumaktadırlar. Tek bir yonga üzerinde ulaşılan karmaşıklık, hız ve işlev çeşitliliğinin yeni boyutları, yeni kuşak ATE'nin şimdikilerden çok daha iyi bir performans göstermesini gerektiriyor. Devrelerin karmaşıklığı şu anda en acil sorundur ve yeni, yüksek-performanslı sınaıcılarla bile uzun sına süreleri norm olacaktır. Yeni sorun, şimdilerde kullanılan uzmanlaşmış sına sistemlerinin yerine genel amaçlı ATE'nin kullanılmasını gerektiren, tek bir yonga üzerinde hem mantık hem de büyük belleklerin ve melez benzetici/sayısal (hibrid analog/dijital) devrelerin ortaya çıkışıdır.

Yüksek-performans ve özellikle yüksek-sıklıklı (frekanslı) devreler özgül sırlama sorunları getirmektedirler. Yüzeysel işlevsel kontroller dışındaki işlevle birlikte 'Yufka': sınası (Wafer testing) (yani kılıflımadan önce sına), çok kez uygulanamaz ve kılıflanmış (packaged) aygıt üzerinde parametrik sına lar uygulanır. Bu sınıf devrelerin sinanmasına henüz bir tek çözüm bile getirilmemiştir.

Çok yüksek performanslı Tümüleşik Devrelerin (VHPI) sinanması için, kendi, kendini sına sistemleri üzerinde çok önemle durulmalıdır, çünkü bu zaman kaybettirici işlevsel sına işini (devrenin mantıksal işlevinin sinanması) ortadan kaldırılacak ve ATE'nin yalnızca kendi kendini sinamanın sınırları dışındaki alanları yoğunlaş-tırılabilmesine olanak sağlayacaktır, (ör. ac/dc panometrik sına ları ve benzetici devre sına ları). Bu seçilecek en iyi yol gibi görünüyor.

çünkü bu, kendi kendini sına sistemlerinin silikon maliyetleriyle uzmanlaşmış ATE'nin donanım maliyeti arasında bir deęiş-tokuşa olanak sağlamaktadır.

ATE'deki, sına maliyetlerini daha çok düşürebilecek gelişmeler, IEEB 488/IEC 625 'bus've 'edimsel aygıtlandırma' (virtual instrumentation) kavramına arayüz (interface) olabilecek bilgisayar denetimli sistemlerin kullanılmasıdır.

Nihayet, şunun hatırlanması önemlidir ki hangi sınaabilirlik için tasarım şeması benimsenirse benimsen, başarılı olarsa mutlaka hem devre sınaması hem de sına üretimi sorunlarına dikkat edilmesi zorunludur.

GELECEKTEKİ GELİŞMELER: KENDİ KENDİNİ SINA YAN SİSTEMLER

Sına sorununa esnek tasarım yaklaşımının doğal bir gelişimi, kendi kendini sına sistemlerdir. Böyle sistemlerin sunduğu avantajlar dikkate değerdir. Üretici için, kendi kendini sına devreler sına üretimine ve karmaşık ATE'ye duyulan ihtiyacı ortadan kaldırır, özgün donatım (equipment) üreticisi için montajın üst düzeylerinden sonra sına sorunu (Ör. kart ve sistem) azalır. Ayrıca tamamen kendi kendini sınaabilen sistemler uzun ömürlülük sağlar.

Genelde, pratik kendi kendini sına teknikleri ya yalandan-rastgele (psendo-randon) sına ya da baştan aşağı (exhaustne) sına (yani bileşimsel-mantık için, mümkün tüm girdileri uygulayarak çıktılarını doğruluğunu kontrol etme) yöntemine dayanır. Bu alandaki temel araç, çok yönlü doğrusal-geri beslemeli kaydırmalı kaydedici (shift register) dir. (LFSR) Esas olarak bu yöntem, devrenin bir LFSR'dan alınan sına kalıplarıyla kendini uyarmasına ve sonra imza çözümlemesi yapan ikinci bir LFSR'a çıktı kalıplarını göndermesine dayanır, Sınamanın sonunda bu imza benzetimden elde edilenle karşılaştırılır. Eğer ikisi aynıysa devre sağlamdır. Bu temel teknik, mikro-işlemci sistemlerinin sınanmasında yıllardır başarıyla kullanılmaktadır.

Kendi kendini sına devrelerinin VLSI'ya uygulanması için çeşitli yöntemler önerilmiştir. Kendi kendini sınamanın en temel biçimi, biri bir sına üretici olarak çalışmak üzere birincil girdilere ve ikincisi bir imza çözümleyicisi olarak çalışmak üzere birincil çıkıtlara bağlanan iki LFSR kullanır. Sına devrenin başlangıç durumuna alınmasıyla başlar, sonra hem LFSR'lara hem de sınanan devreye sabit sayıda saat döngüsü uygulanır ve sonunda imza çözümleyicinin içeriği kontrol edilir. Bu en temel yöntem küçük ölçekli ardışık mantık için etkili olsa da VLSI sistemler için sına kalitesi düşük olacaktır.

Daha çekici bir yöntem bir tarama yolu kullanarak mantığı parçalamaktır. Bu büyük bir kazançtır, çünkü tarama yolu (scan path) devreyi istenirse baştan sona (exhaustively) sınanabilecek veya istenirse yalandan-rastgele (pasendo-random) teknikler kullanılarak en azından daha etkili biçimde sınanabilecek bileşimsel mantıklar halinde parçalar. Tarama yolunun bu tarzda kullanılması için temelden farklı iki yöntem önerilmiştir. Bu yöntemlerin birincisi, Yapı-içi Mantık Blok Gözlemeleme (Built-in Logic Observation) (BILBO) (4) ve ikincisi Kapalı Döngü Çözümlemesi Rastgele Uyarım Sınaması (dosed Loop Analyssis Random Excitation Testing) (CLARET)'dir. BILBO, Şek.3'te görüldüğü gibi, şu dört durumdan birinde kullanılabilecek (tarama yolu, sına üretici, imza çözümleyicisi, normal durum) çok-durumlu (multi-mode) kaydediciler oluşturmak için tarama yolunun kendisinin deęişikliğe uğratılmış kısımlarını kullanır. Bu usulde, kendi kendini sına yapabilmek için mantığın içine BILBO çiftleri yerleştirilir ve imza çözümlemesinin sonuçları tarama yolu aracılığıyla ele geçirilir.

Hirst Araştırma Merkezinde, araştırılıp, geliştirilen CLARET'in almaşık yöntemi, tarama yolunun dışında bir LFSR kullanmak ve bunu Şek.4'te görüldüğü gibi hem bir sına üretici hem de imza çözümleyicisi olarak çalıştırmaktadır. Sonra sına verileri, alışılmış biçimde, LFSR ve bileşimsel mantık arasında iletir.

BILBO'nun avantajı, tarama yolunun sına verilerini deęil, yalnızca sına imzalarını taşımakta kullanılmasıdır; bununla birlikte, bu, çok sayıda LFSR ve kısıtlı bir tasarım yöntemi demektir, oysa CLARET, LFSR'ların sayısını en aza indirir ve taramayla sınaabilir her devrede kullanılabilir. CLARET'in dezavantajı, sına süresinin çoğunun sına verilerinin sına yolu üzerinde taşınması için harcanmasıdır. Bu iki yöntem arasındaki fark, sına süresi ve sına sistemi donanımı ölçütleri arasında bir deęiş-tokuştur. CLARET sisteminin ek bir avantajı, sına sisteminin aynı yonga üzerinde olmak zorunda olmayıp düşük maliyetli sına araçlarının bir parçası olarak gerçekleştirilebilmesidir.

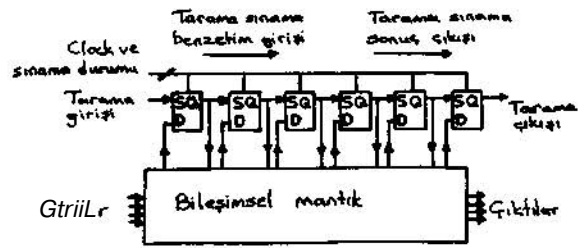
SONUÇLAR

Mikroelektronik uygulamaları çok ve çeşitlidir ve bu uygulamalar teknoloji geliştikçe büyümeye devam edecektir. VLSI teknolojisinin gelişiminin temel fiziksel sınırları bilinmekle birlikte, karmaşık sorunların kendisi de bu gelişimin önünde başlıca engellerden biri olabilir. Bununla birlikte, karmaşıklık so-

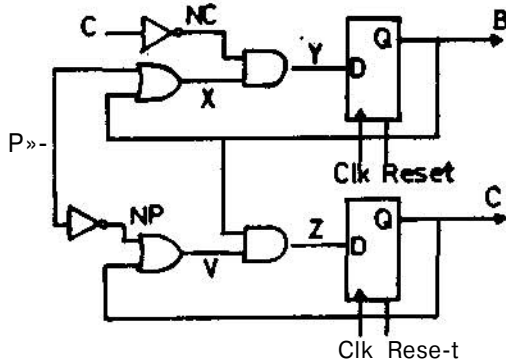
rununun VLSI'ların hem tasarımında hem de sınamasında ortaya çıktığının anlaşılması önemlidir. Sınama sorununu çözmek için, çözümün tasarım yaklaşımıyla birleştirilmesi gereklidir.

Sınama sorununa iki çözüm ortaya atılmıştır, yapısal yaklaşım düşük-riskli tasarıma, esnek yaklaşım yüksek-performanslı tasarıma uygundur. Yapısal yaklaşım, yalnızca sınırlı sayıda alet gerektirdiği için nispeten kullanılması kolaydır. Bunun karşısında esnek yaklaşımın doğrusu, tasarımcının istediği destekleyici teknikleri seçebilmesini gerektirir. Bu yaklaşımı belirlemek için, esnek yaklaşım tekniklerinin, sınanabilirlik ölçümlerinin ve kendi kendini sınamanın örnekleri verilmiştir.

Geniş ölçekli sistemlerin sınaması sorunu ve bu soruna çeşitli yaklaşımlar, zorunluluk nedeniyle sanayide popüler konular olmuşlardır. Bu soruna pek ya da hiç önem vermeyen tasarımcılar sınamanın üretim sırasında aşırı derecede pahalı bir işlem ve sınama üretiminin de tasarım sırasında çözümü zor bir sorun olduğunu göreceklerdir. Sorunun farkında olan ve sınanabildik konusunu önceden düşünen tasarımcılar, Hirst Araştırma Merkezinde halihazırdaki sınama yöntemleri konusunda destek ve soruna yeni çözümlerin bulunmasında istekli bir çalışma bulacaklardır.

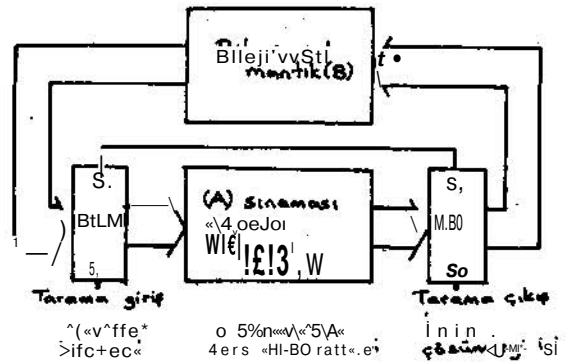


Şekil 1: İdealleştirilmiş bir tarama-yolu devresi

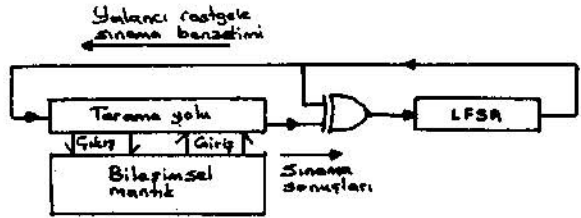


Şekil 2: Basit bir SCOAP örneği

| Şebeke nokta adları | CCO | CCI | CO | SCO | SCI | SO |
|---------------------|-----|-----|----|-----|-----|----|
| B | 2 | 9 | 0 | 1 | 2 | 0 |
| C | 2 | 16 | 0 | 1 | 3 | 0 |
| Clk | 1 | 1 | 11 | 0 | 0 | 3 |
| NC | 17 | 3 | 6 | 3 | 1 | 1 |
| NP | 2 | 2 | 16 | 0 | 0 | 4 |
| P | 1 | 1 | 10 | 0 | 0 | 3 |
| Reset | 1 | 1 | 1 | 1 | 0 | 3 |
| V | 5 | 3 | 13 | 1 | 0 | 3 |
| X | 4 | 2 | 7 | 1 | 0 | 2 |
| Y | 5 | 6 | 3 | 1 | 1 | 1 |
| Z | 3 | 13 | 3 | 1 | 2 | 1 |



Şekil 3: BILBO'ya dayanan kendi kendini sınama devresi



Şekil 4: CLARET'e dayanan kendi kendini sınama devresi

AÇIKLAMALAR :

- MSI : Medium scale integration -Orta çaplı tümleşim
- LSI : Large scale integration - Büyük çaplı tümleşim
- VLSI : Very large scale integration - Çok büyük çaplı tümleşim
- SSI : Small scale integration - Küçük çaplı tümleşim
- ATG : Automatic test generation - Otomatik sınama üretimi
- ATE : Automatic test equipment - Otomatik sınama aygıtları